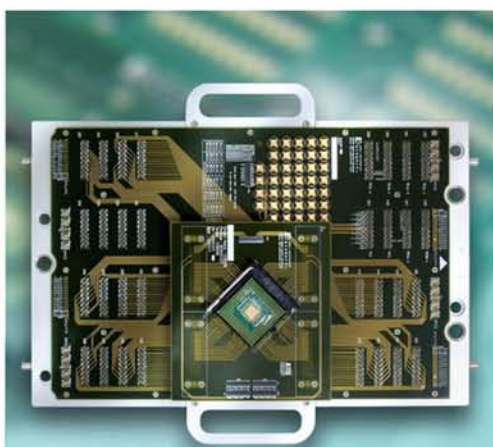




國研 科技



- 以Fast Models
建置虛擬平台—
以MorPack為例
- Concord：可模組化系統
單晶片雛形驗證平台
- 多計畫系統單晶片之
設計方法
- MorPack—
三維異質整合系統平台

January 2011

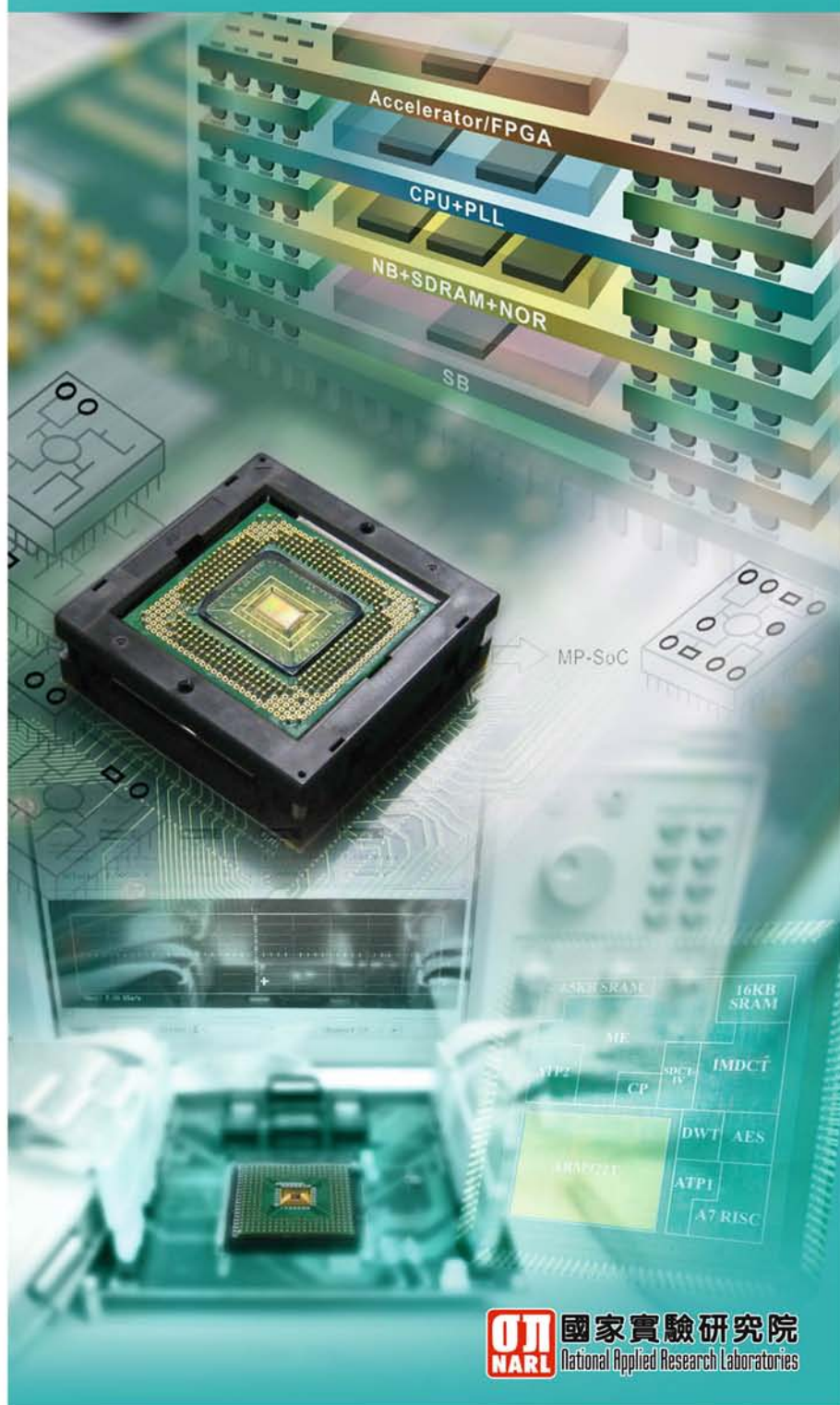
NARL QUARTERLY

29

| 專題企劃 | National Applied Research Laboratories

國家晶片系統設計中心

系統晶片模組建構發展環境



編輯室報告



- 台灣半導體產業發展亮眼，其中IC設計產值高居世界第二，對台灣經濟影響與日俱增。為搭配學術研究需要及產業未來發展，提升系統晶片（SoC）相關技術研發需求，本院國家晶片系統設計中心提出一個創新系統晶片建構發展環境，於本期「專題企劃」單元，以「虛擬平台之介紹 - 以Fast Models建置MorPack為例」、「Concord - 可模組化系統單晶片雛型驗證平台」、「多計畫系統單晶片之設計方法」、「MorPack - 三維異質整合系統平台」等篇章，與本刊讀者分享之。此嶄新的建構發展環境，同時俱備低研發成本與高應用彈性之優勢，將為我國IC設計工業與學術研究發展的未來，奠定良好的基礎。
 - 本期「人物專訪」單元介紹本院國家高速網路與計算中心江國寧主任，在學術上擁有多項榮譽肯定的江主任於2010年接任本院國網中心，他將帶領我國唯一的高速網路與計算中心在硬體技術和軟體研發上持續邁向卓越，並與同仁共同發展適用特定領域特質的雲端中介軟體，建置科學與工程知識庫，期許在國網中心跨越20年後的下一哩路，開創主導創新契機，將該中心的影響力進一步擴及國際。
 - 本期「美藝鑑賞」單元展出為攝影作品 - 法國波爾多鏡池（Miroir d'eau）。照片呈現正逢車水馬龍的下班時刻，可愛的電車正停在站內，電車軌道另一側是地面上設計有一大片很薄很薄且沒有壁面的水池，背後典雅華麗的建築物因而得以形成非常漂亮的倒影，令人心嚮往之。攝影者為本院國家地震工程研究中心的林峻毅先生。
 - 感謝同仁踴躍投稿，本刊才得以呈現多元、豐富的內容。再次謝謝您的支持與鼓勵，如有任何建議，尚請不吝來函指正。
-



邁入建國百年的重要時刻，國研院與所屬研究中心，在歷史的長廊中，很榮幸的見證了產官學研各界共同協力締造科技島的點點滴滴。

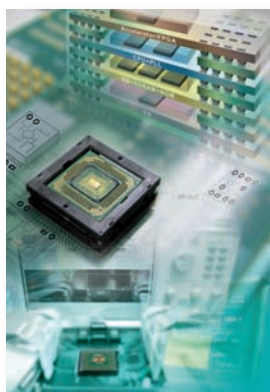
在全球經濟與產業發展的波動中，台灣憑藉著科技研發的厚實基礎，一次又一次地創造致勝利基。為掌握永續競爭優勢，本院致力於生醫、新材料及新興節能減碳等自主關鍵技術之發展，近一年來並已有多項重大突破，如「可調控基因轉殖大鼠」技術、「環型線圈式超穎材料」之創新研發及「9奈米功能性電阻式記憶體（R-RAM）」技術等，均與台灣未來黃金十年之發展息息相關。

此外，為加速創新研發的腳步，本院除積極進行「颱風洪水研究中心」及「生物科技及產品研發中心」之籌設外，亦同時推動福衛五號及七號衛星星系計畫，以厚植我國自主太空科技能力。為發展海洋科技，2700噸級海洋研究船「海研五號」即將於101年啟用，「海洋科技研究中心」總部與海岸實驗站之籌設工作也正加速進行。另本院「國家高速網路與計算中心」新建之高速計算叢集主機也預計於今年七月上線服務，屆時將達每秒170兆次浮點運算效能，可大幅推升我國工程及科學研究之研發能量。

展望未來，本人至盼全院同仁持續努力，在技術上不斷淬鍊和創新，在前瞻科技研究的領域上追求卓越表現，攜手為我國之永續發展再造契機。

院長

陳文華



封面故事 NO. 29

為因應系統晶片 (SoC) 相關技術研發需求，本院國家晶片系統設計中心提出一個創新系統晶片建構發展環境，其包含一個快速的虛擬雛型驗證平台，與一個全模組化快速雛型驗證平台；結合封裝整合技術，將多個異質的晶片整合成一個三維系統模組結構；另外透過平台共享的概念，將多個系統單晶片計劃整合進入一個系統單晶片中，藉此大幅降低 SoC 晶片驗證成本與開發時間；此嶄新的建構發展環境，同時俱備低研發成本與高應用彈性之優勢，將為我國 IC 設計工業與學術研究發展的未來，奠定良好的基礎。

院長的話

專利上架

- 4 一種矽基鐵電型記憶體材料 奈米結構矽基鐵電記憶體
— 謝嘉民

專題企劃

系統晶片模組建構發展環境

- 10 系統晶片設計與驗證環境簡介
— 陳世綸、楊智喬、吳建明、黃俊銘
- 13 虛擬平台之介紹 - 以 Fast Models 建置 MorPack 為例
— 莊彥澤
- 23 Concord - 可模組化系統單晶片雛型驗證平台
— 楊智喬、吳建明、黃俊銘
- 32 多計畫系統單晶片之設計方法
— 吳建明、楊智喬、陳世綸、黃俊銘
- 39 MorPack - 三維異質整合系統平台
— 吳建明、楊智喬、黃俊銘

尖端科技

- 46 一種混合感測器/記憶體/互補式金氧半場效電晶體技術的奈米線生醫感測器
— 陳旻政、林家毅、陳豪育

科技交流

- 56 漫談先進航太膠合技術
— 林育全、黃鼎名
- 62 漫步雲端中，軟體一點通 - NCHC 軟體與資料庫雲端計算服務
— 王國肇、謝昌煥
- 68 橋墩沖刷即時監測系統之研究發展
— 游騰一、張文鎰、林聖峰、李隆正、蔡惠峰
- 79 國網二維水利計算軟體之研發與整合
— 王聖川、張文鎰、洪國展、李隆正、游騰一

人物專訪

- 86** 扎穩基本功 軟實力主導創新格局
專訪國家高速網路與計算中心江國寧主任
— 國家實驗研究院

科技小百科

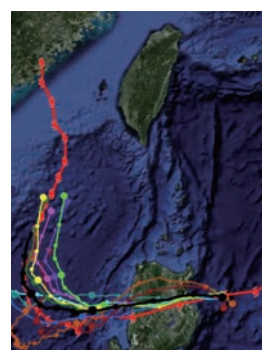
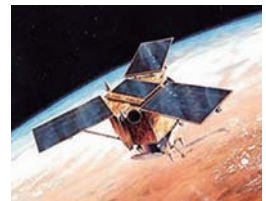
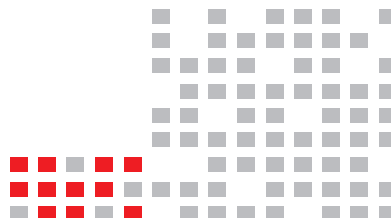
- 88** 光學遙測衛星簡介
— 張志立

活動報導

- 90** 2010台灣奈米科技展活動報導
— 黃心寧
- 92** 「颱風降雨與淹水預報講座」報導
— 江宙君
- 96** 第62屆德國紐倫堡國際發明展本院儀科中心勇奪四金
— 陳柏睿
- 98** 國研院國網中心「2010 NCHC HPC用戶研討會」
— 國家高速網路與計算中心
- 102** 國研院國網中心在「國際高速計算研討會SC10」
— 國家高速網路與計算中心

各實驗室動態

- 106** 國家實驗研究院
- 106** 國家奈米元件實驗室
- 107** 國家實驗動物中心
- 107** 國家地震工程研究中心
- 108** 國家太空中心
- 108** 國家高速網路與計算中心
- 109** 國家晶片系統設計中心
- 109** 儀器科技研究中心
- 110** 科技政策研究與資訊中心
- 110** 國家災害防救科技中心
- 111** 台灣海洋科技研究中心
- 111** 颱風洪水研究中心籌備處



專利上架

Patent Showcase

一種矽基鐵電型記憶體材料 奈米結構矽基鐵電記憶體

文/圖 謝嘉民 國家奈米元件實驗室

國研院改制財團法人後，研發成果之推廣亦益形重要，本專欄將定期報導本院最新研發成果資訊與內容，以期建構本院與國內各界技術媒合平台，落實本院研發成果之應用及商品化。對本專欄之專刊技術有興趣者，請連絡國研院業務推廣室-蔡智華小姐 chtsai@narl.org.tw。

資訊交流的複雜與有效性和人類社會的現代化程度有密切的關係。目前最先進的電腦硬體技術，最大的功率損耗並不在 CPU，而是在顯示器、記憶體與其他資料儲存設備。在即將到來的能源不足的時代，節能的儲存與顯示技術才能夠維持未來的資訊社會。

在過去十年間，半導體產業熱切的追求高密度、高速及低功耗的非揮發性記憶體元件。一些新興的記憶體技術，即磁性記憶體（MRAM），鐵電記憶體（FeRAM），以及相變記憶體（PCRAM），接近理想的記憶體特性^[1]。

鐵電記憶體是一項非常令人矚目的技術，雖然傳統鈣鈦礦鐵電材料（perovskite-type ferroelectric (Fe) materials）、可發展無電荷移動之非揮發性記憶體，是一節能電子元件，但其材料內含污染性金屬成分，不易與矽積體線路整合。於 2001 年由 Jiang 等人報導於含矽量子點之氧化矽薄膜中觀察非中心對稱之 *nc-Si/SiO₂* 界面可產生電極化特性^[2]。當含矽量子點薄

膜具有一淨值的永久極化時就將會初始化其鐵電效應^[3]，應有潛力發展無污染、可完全相容於矽半導體工業、又能具有高速、使用壽命長之矽基類鐵電非揮發性記憶體^[4-5]。

我們首度於含自組裝矽量子點超晶格結構材料中發現鐵電特性，約有傳統鈣鈦礦鐵電材料極矩之十分之一，其機制是由於量子點與二氧化矽模板間非對稱介面鍵結，感應電子極矩所導致（如圖 1 所示）。^[3-5]

鐵電材料自發電性極化的特性主要是由於材料內部的電偶極可以經由外加不同的電場來做切換^[6]。這種不會消散的電性極化主要來自於非中心對稱的晶格結構。而塊材矽沒有這種鐵電效應是因為矽晶的結構由中心對稱的鑽石結構所組成，沒有因為晶格粒子的位移而造成的電偶極化。因此將非矽製程的鐵電薄膜像是銻鈦酸鉛（ $\text{Pb}(\text{Zr}_{0.53}\text{Ti}_{0.47})\text{O}_3$, PZT)^[6,7]與現有成熟的矽製程技術整合所製造出來的鐵電隨機存取記憶體（FeRAM）就已經展現出驚人的效能，然而銻

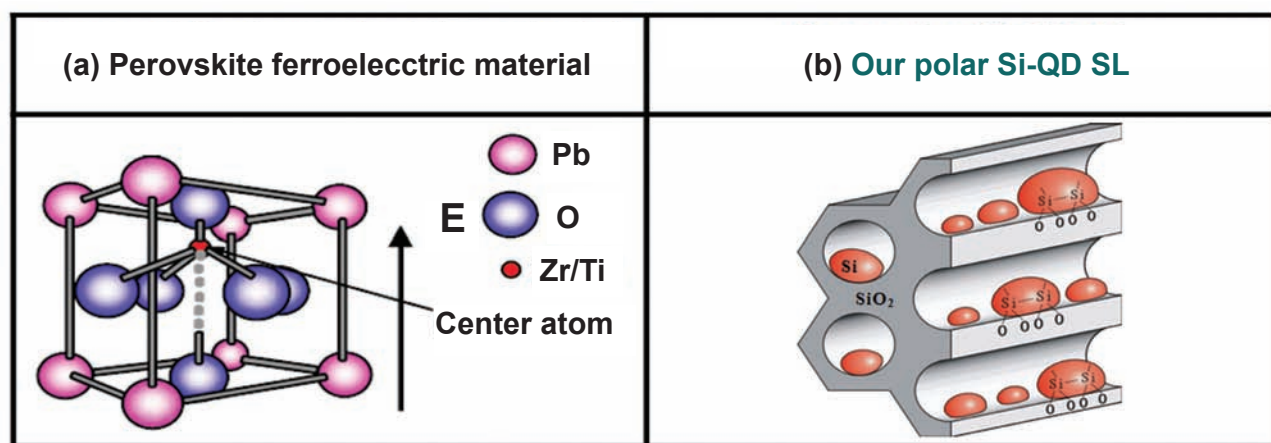


圖 1 (a) 傳統鈣鈦礦鐵電材料極矩及 (b) 由於量子點與二氧化矽模板間非對稱介面鍵結所導致之感應電子極矩。

鈦酸鉛 (PZT) 與矽基板接面的交互作用卻讓我們很難得到一個良好介面，因為接面的反應會產生金屬移動離子造成很短的記憶時間^[8,9,10]，而非矽製程所產生的金屬離子污染在矽製程 IC 生產線上是有很大的影響^[6,11]。因此現在迫切需要開發以矽為基底的類鐵電材料製程技術與現有的 IC 整合來製造 FeRAM。

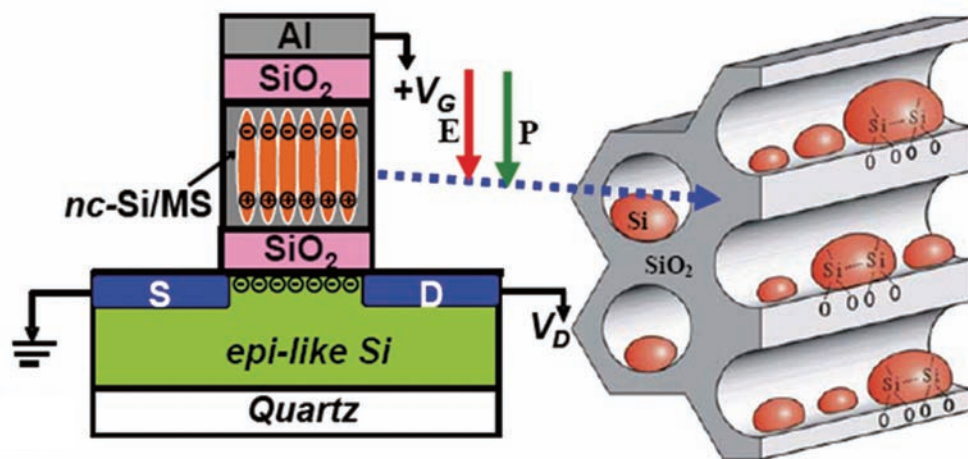
我們利用奈米結構材料的介面特性^[12]，發展出新一代以矽製程製造出低介電係數的類鐵電材料。圖 2 (a) 為非揮發性記憶體 NVM 單位結構的類鐵電場效電晶體。將我們發明矽基鐵電材料夾在 SiO₂ 中間當閘極介電層，而此鐵電材料是將矽量子點 (nc-Si) 成長在自組裝奈米孔洞氧化矽模板之奈米通道中^[13]。

矽量子點成長在孔洞的底部就像圖 2 (a) 所示。矽量子點與氧化矽孔洞的介面會形成單邊鍵結極化層結構。這種極化的鍵結結構產生了不會退化的電性極化，此電性極化方向可由外加電

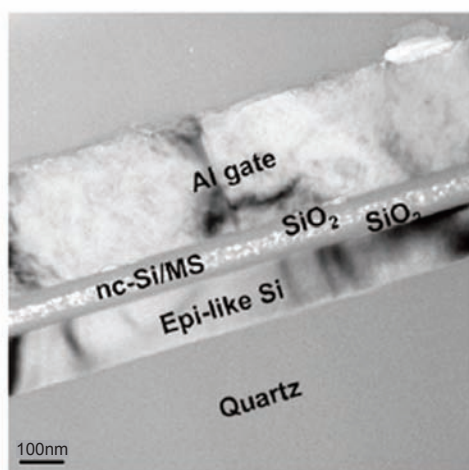
場改變。為了驗證此種效應，我們製造了 MIM (Metal-Insulator-Metal) 電容，其絕緣層是矽量子點超晶格類鐵電材料，來做電性極化電場量測^[11] 結果為圖 3 (a)，本測試樣品的殘餘極化量 (Pr) 為 $5\mu\text{C}/\text{cm}^2$ ，比現有已知利用鐵鈍化的氧化矽孔洞還大的多^[14]。

二階非線性光學合頻產生 (Sum Frequency Generation, SFG) 已經為人所熟知對物質的極化及表面結構等特性具極高靈敏度^[15]，我們在這裡應用 SFG 來驗證極化鍵結層是否存於矽量子點超晶格材料中。利用空間性和時間性重疊的 800nm 及紅外光 1200nm 波段之 50ps 脈衝雷射分別打在矽量子點超晶格材料上做光合頻量測。圖 2 (c) 為波長 480nm 的光合頻產生訊號，中空的方格代表當薄膜的溫度從室溫升至 350°C，高於 350°C 以上 SFG 就沒有訊號了。填滿的三角形曲線表示 SFG 的溫度依存性當薄膜從 350°C 降到室溫。經由這兩條相似的溫度依存性曲線反應了 SFG 磁化率及極化結構

(a)



(b)



(c)

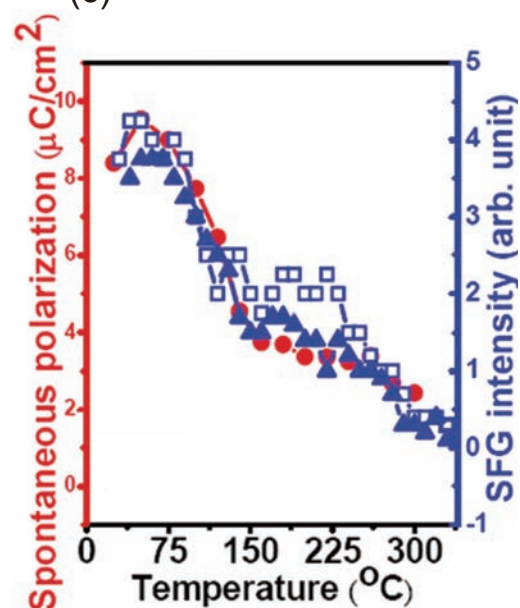


圖 2 (a) 左圖為利用Al/SiO₂/nc-Si-in-MS/SiO₂ 堆疊在矽類磊晶層薄膜上(石英基板)的場效電晶體。右圖為矽量子點與奈米孔洞氧化矽形成單邊鍵結示意圖；(b) 穿透式電子顯微鏡的剖面圖；(c) 合頻產生光譜(SFG)訊號，中空方型代表膜的溫度增加；實心三角型為溫度減少；實心圓形為隨溫度變化的電極化量。

都具有高度的可逆性^[11]。為了對照，從 P-E 量測出的自發極化特性我們以圖 2 (c) 填滿的圓形表示之。令人值得注意的是溫度依存性的電性極化效果與 SFG 觀察到的非常相似，強烈的暗示 SFG 磁化率與電性極化是來自相同的原因。

在電偶極的近似條件下，光合頻產生僅允許在表面/界面或有極化結構的薄膜。因此我們認為在圖 2 (c) 及圖 3 (a) 所觀察的效應主要源自於矽量子點超晶格材料中量子點與二氧化矽模板間非對稱介面鍵結，感應電子極矩所導致。

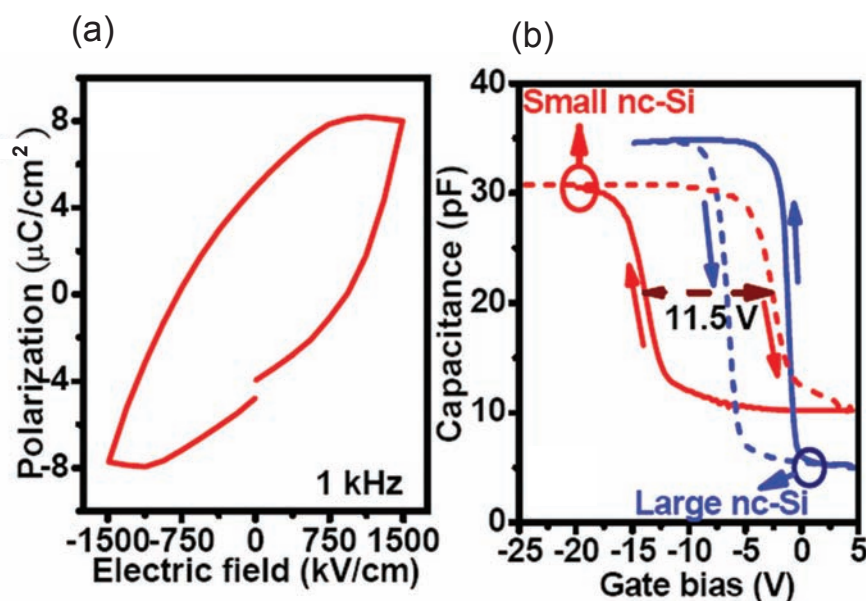


圖 3 (a) P-E 遲滯曲線特性，為 90nm 厚度的 Si-O 極化結構被 15nm 的氧化層夾著在 MIM 結構下量測出。(b) 為 MOS 電容的 C-V 遲滯曲線，紅色曲線為較小的矽量子點；藍色曲線為較大的矽量子點。都是在施加正到負到正的外加電壓下所量測。

圖 3 (b) 顯現出典型 MOS 的 C-V 曲線特性，其中複合氧化層是由矽量子點超晶格材料夾在二氧化矽層中、並在 p 型的矽晶圓上堆疊，我們可以從中觀察到兩個主要的特徵。第一，曲線經由施加從正到負、負到正的電壓得到順時針的遲滯曲線（觀察圖 3 (b) 中紅色的線）^[10,16]。量子點經由電子（電洞）穿隧來充電（放電）會平帶電壓平移到一個較多（少）正值^[17]，這種情況應該是得到一個逆時針的遲滯曲線^[18]，但是顯然的與我們所觀察到的互相抵觸。第二，在我們堆疊的複合氧化層樣品施加 1×10^6 V/cm 電場只有 1×10^{-7} A/cm 的漏電流，指出經由穿隧過程量子點的充放電幾乎可以被忽略。因此造成我們 MOS 的 C-V 遲滯曲線主要原因不是因為電荷被侷限在量子點，而是因為電性極化層^[19]。我們 MOS 電容中的因單邊鍵結矽量子點超晶格而具有鐵電極化相關 C-V 遲滯特性，可進一步與採用填充較大的矽量子點於相同大小的奈米孔洞氧化矽模板所形成矽量子點超晶格材料做驗證比

較。我們觀察到一個強烈的對比（圖 3 (b) 藍色的曲線）結果。值得注意的是逆時針的遲滯曲線是因為電荷被侷限在量子點裡，而最根本的原因則是較大的量子點填滿了模版奈米孔洞，形成中心對稱的鍵結構。在具單邊鍵結矽量子點超晶格材料的 MOS 電容結構中，因其電性極化而產生的內建電偶極場會隨著施加電場方向的不同而增強或屏蔽外加電場，造成因為感應極化而形成 11.5V 記憶櫥窗的順時針 C-V 遲滯曲線。

根據 Miller 和 McWhorter 的理論算出^[20]，只要電性極化量高於 $0.1 \mu\text{C}/\text{cm}^2$ 就足夠讓矽表面位能從空乏區轉換到反轉區。而鐵電效應感應出的記憶櫥窗大小可以經由施加偏壓來去除殘餘極化的矯正電場 E_c ^[8,16] 來計算出，公式為 $\Delta V = 2E_c \times d$ ^[19]，d 為鐵電膜之厚度。利用圖 3 (a) 我們得知 E_c 為 700kV/cm，算出記憶櫥窗約為 12.6V 因此圖 3 (b) 中記憶櫥窗為 11.5V 是非常合理的數值。

為了測試矽量子點超晶格材料應用在 FeRAM 技術的可行性，我們製造一個 MOSFET 其閘極結構為厚度 55nm 的矽量子點超晶格類鐵電材料夾在上下各為 20nm 的氧化層，使電荷沒辦法穿過。此 MOSFET 做在石英基板上厚度為 120nm 的類單晶矽層^[21-22]，通道長度 (L) 為 6 μ m、寬度 (W) = 25 μ m。圖 2 (b) 為利用 TEM 所看到的閘極剖面，圖 4 (a) 為 I_d - V_g 關係圖。我們將 $V_d=0.1V$ 定值，改變 V_g 以 0.1V 為一單位從 -15V 掃到 +15V，我們可以從圖 4 (a) “關”到“開”狀態的曲線找到“關”狀態的臨界電壓 ($V_{th,off}$) 為 0.7V，以相同的 V_d 電壓再從 +15V 掃到 -15V 則可以找到“開”狀態的臨界電壓 ($V_{th,on}$) 為 -4.3V，也可以算出記憶樹窗 $\Delta V = V_{th,off} - V_{th,on} = 5V$ ^[9,10]，當 $|V_g|$ 大於 12V 時記憶樹窗達

到了飽和值為 5V。當 MOSFET 操作在“關”狀態且 $V_g=0$ 時，讀到的電流 $I_d=1 \times 10^{-12} A/cm^2$ ；而“開”狀態電流 $I_d=1 \times 10^{-5} A/cm^2$ ，因此得到了一個“開”/“關”比值大於 10^7 大小的數量級（見內插圖 4 (b)）。

兩種最主要影響 FeRAM 記憶時間長短的原因：（1）退極化場效果（2）閘極漏電流^[9,23]。因我們的矽量子點超晶格材料是低介電係數類鐵電材料，所以退極化場的影響幾乎微乎其微，其 FeRAM 的記憶時間可以用 $\tau = P_r / I \alpha$ 公式估算出來（ P_r ：殘存極化量， I ：閘極漏電流， α ：被缺陷捕捉的機率）^[23]。根據我們實驗所量測出的殘存極化量 $P_r=5\mu C/cm^2$ 、閘極漏電流 $I=3 \times 10^{-7} A/cm^2$ ，假設 $\alpha=10^{-4}$ 則可以得到記憶時間為 $\tau = 10^5$ ，這個估算出的記憶時間，

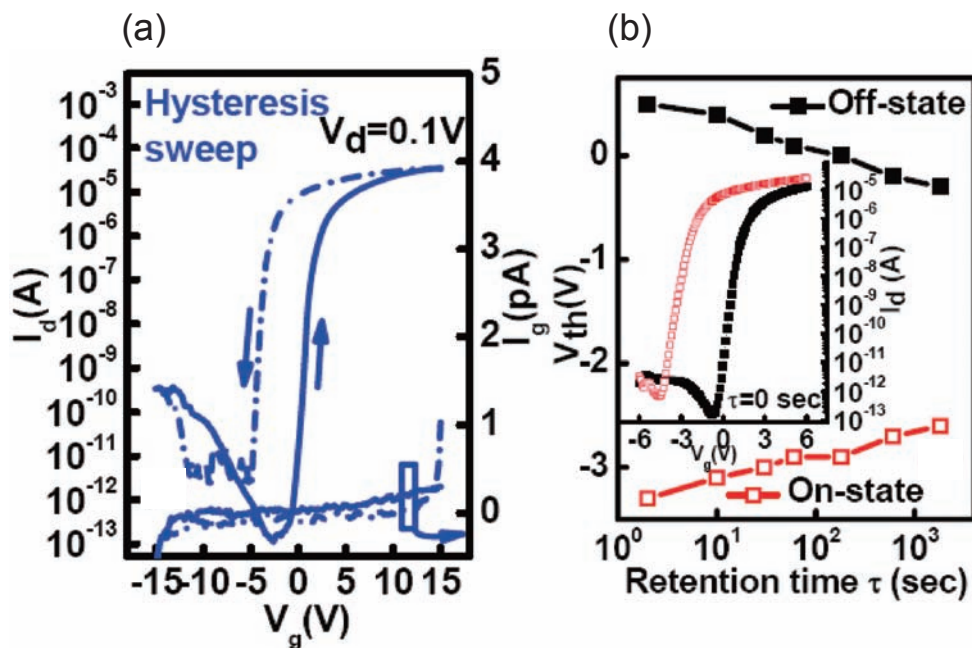


圖 4 (a) MOSFET 的 I_d - V_g 類鐵電轉換曲線，其中閘極由 Al/SiO₂/nc-Si-in-MS/SiO₂ 組成，閘極漏電流也展示在圖中；(b) MOSFET 的記憶時間， $V_{th,on}$ (中空方框)； $V_{th,off}$ (實心方框) 在“開”和“關”的狀態下隨著時間衰減的狀態圖。內插圖為 MOSFET 經過 20ms 電脈衝 $V_g=15/-15V$ 使電晶體為“開”和“關”的狀態時，在 $\tau=0$ 的轉換特性曲線。

以沒有經過優化的元件來說已經是非常好的結果。圖 4 (b) 為隨著時間產生變化的“開”與“關”狀態的臨界電壓 ($V_{th,on}$ 以中空的方框表示) ; ($V_{th,off}$ 以實心方框表示)。

我們展現了新一代的人造類鐵電材料工程技術，其方法是將三維的矽量子點埋置於具有陣列奈米孔洞結構的氧化矽中所合成，材料特性指出矽量子點與二氧化矽形成非中心對稱的鍵結結構，經由 SFG 與 P-E 量測驗證出具有高穩定性的單邊鍵結界面極化結構。將此矽量子點超晶格類鐵電材料取代傳統的閘極結構所製造出的 MOSFET，其展現了 5V 大的記憶樹窗、低閘極漏電流、高“開”/“關”狀態比值、低價以及適合奈米尺寸的製程，最重要的是可以與現有的矽製程做整合成為大有可為純矽製程的 FeRAM 技術。

參考資料

- [1] Martijn H. R. Lankhorst, Bas W. S. M. M. Ketelaars, and R. A. M. Wolters, *Nature materials*, 4, 347 (2005).
- [2] Y. Jiang, P. T. Wilson, M. C. Downer, C.W. White, and S. P. Withrow, *Appl. Phys. Lett.*, 78, 766 (2001).
- [3] Jung Y. Huang, Jia-Min Shieh, Hao-Chung Kuo, and Ci-Lin Pan, provisional accepted by *Advanced Functional Materials*.
- [4] Jia-Min Shieh, Jung Y. Huang, Jian-Da Huang, Yi-Chao Wang, Ching-Wei Chen, Chao-Kei Wang, An-Thung Cho, Hao-Chung Kuo, Bau-Tong Dai, and Ci-Ling Pan, Minor revision for publication on *Applied Physics Letter*.
- [5] 中華民國專利 (I 307162)，「一種矽基鐵電型記憶體材料 (Silicon-based ferroelectric memory material and memory formed therewith)」，謝嘉民，卓恩宗，賴一凡，戴寶通)
- [6] C. Kittel, *Introduction to Solid State Physics*, Wiley: New York, 1996; p. 393.
- [7] C. Y. Chang, and S. M. Sze, *ULSI DEVICES*, Wiley: New York, 2000; p. 448.
- [8] P. C. J. Trevor, C. Y Chang, and Y. M. L. Joseph, *IEEE Electron Devices Lett.*, 27, 217 (2006).
- [9] T. Li, S. T. Hsu, B. D. Ulrich, and D. R. Evans, *Appl. Phys. Lett.*, 86, 123513 (2005).
- [10] T. Li, S. T. Hsu, B. D. Ulrich, L. Stecker, D. R. Evans, and J. J. Lee, *IEEE Electron Devices Lett.*, 23, 339 (2002).
- [11] K. J. Choi, M. Biegalski, Y. L. Li, A. Sharan, J. Schubert, R. Uecker, P. Reiche, Y. B. Chen, X. Q. Pan, V. Gopalan, L.Q. Chen, D. G. Schlom, and C. B. Eom, *Science* 306, 1005 (2004).
- [12] H. Yamada, Y. Ogawa, Y. Ishii, H. Sato, M. Kawasaki, H. Akoh, and Y. Tokura, *Science* 305, 646 (2004).
- [13] O. Dag, G. Dag, G. A. Ozin, H. Yang, C. Reber, and G. Bussi re, *Adv. Mater.* 11, 474 (1999).
- [14] Q. Chen, X. Li, Y. Zhang, and Y. Qian, *Adv. Mater.*, 14, 134 (2002).
- [15] X. Su, L. Lianos, Y. R. Shen, and G. A. Somorjai, *Phys. Rev. Lett.*, 80, 1533 (1998).
- [16] C. Y. Chang, P. C. J. Trevor, and Y. M. L. Joseph, *Appl. Phys. Lett.*, 88, 072917 (2006).
- [17] S. Tiwari, F. Rana, H. Hanafi, A. Hartstein, E. F. Crabbe, and K. Chan, *Appl. Phys. Lett.*, 68, 1377 (1996).
- [18] D. N. Kouvatzos, V. L. Sougleridis, and A. G. Nassiopoulou, *Appl. Phys. Lett.*, 82, 397 (2003).
- [19] J. P. Han, S. M. Koo, C. A. Richter, and M. V. Eric, *Appl. Phys. Lett.*, 85, 1439 (2004).
- [20] S. L. Miller, and P. J. McWhorter, *J. Appl. Phys.*, 72, 5999 (1992).
- [21] Y. T. Lin, C. Chen, J. M. Shieh, Y. J. Lee, C. L. Pan, C. W. Cheng, J. T. Peng, and C. W. Chao, *Appl. Phys. Lett.*, 88, 233511 (2006).
- [22] J. M. Shieh, C. Chen, Y. T. Lin, and C. L. Pan, *Appl. Phys., Lett.* 92, 063503 (2008).
- [23] T. P. Ma, and J. P. Han, *IEEE Electron Devices Lett.*, 23, 386 (2002).

專題企劃

Special Report

系統晶片模組建構發展環境

■ 系統晶片設計與驗證環境簡介

文 陳世綸、楊智喬、吳建明、黃俊銘 國家晶片系統設計中心

台灣半導體產業發展亮眼，其中 IC 設計產值高居世界第二，2010 年台灣 IC 設計產值預估達 3,859 億新台幣，相較 2000 年 1,192 億新台幣十年來成長 324%，行政院院會日前通過經濟建設委員會提出的「服務業發展方案」，在 IC 設計方面，目標產值在 2012 年定為新台幣 4,800 億元，就業人數達 4.17 萬人，IC 設計產業對台灣經濟的影響與日俱增，國研院國家晶片系統設計中心係以「提昇國內 IC 晶片系統設計前瞻技術、培育 IC 晶片系統設計優質人才」為設立宗旨及營運目標，服務對象係以全國大專院校及學術界，對於專業人才的培訓與技術提升，在台灣 IC 設計的發展過程中一直扮演著重要的角色。

為了搭配學術研究需要以及產業未來發展，晶片中心設計服務組引進多項產業界廣泛使用的晶片與系統設計的電腦輔助設計軟體，以及多項矽智財（IP）資料庫，提供學術界使用，並分別

針對前段設計、實體設計、快速雛型設計、系統技術設計等的設計需求，整合設計軟體、規劃並建立完整的晶片及系統設計流程與環境，藉以提昇晶片及系統設計的效率。近年來，隨著電子產品功能愈趨複雜，晶片無論在功能、複雜度與效能上逐年提升，伴隨著半導體技術不斷地進步，將一個複雜的系統整合至一顆單晶片上的 SoC（System on a Chip）的設計方法，以其擁有較低成本、低功率、高速及高穩定的優勢逐漸取代過去 PCB 層次的系統設計方法，因此，國內學術界為展現其優異的創新研發能力，與培育優質的 SoC 系統整合設計人才，積極投入 SoC 相關研究。

有鑒於此，國研院晶片中心設計服務組為提供學術界良好的研究發展環境，提供一個良好的系統晶片模組建構發展環境，其包含高效能虛擬雛型驗證平台、快速雛型驗證平台（Concord）、多計畫系統單晶

片 (MP-SoC) 與三維異質整合系統平台 (MorPack)，虛擬雛型驗證平台可利用不同抽象層級的描述方式進行硬體元件設計，可將龐大的系統單晶片電路轉換成軟體程序，直接在快速虛擬雛型平台上執行；藉由快速雛型驗證平台 (Concord) 的幫助，SoC 之設計者可迅速完成各式各樣的系統單晶片雛型驗證。由於 SoC 的製造成本昂貴，在有限的資源下，為激發國內學術發展 SoC 之研究能量，國研院晶片中心以平台共享的概念，提出了一個創新多計畫系統單晶片整合平台，大大提升實現國內學術研究團隊實現與其所設計 SoC 晶片的機會；為提供國內異質整合計畫之發展，國研院晶片中心結合封裝整合技術，發展一套低成本、高效率可快速整合異質系統之三維系統模組結構，透過此系統，可激發出異質整合系統與相關軟硬體之研發能量。

在本專題將會有四篇文章分別介紹虛擬雛型驗證平台 (virtual platform)、快速雛型 (rapid prototyping) 驗證平台 Concord 的功能與架構、MP-SoC 晶片設計流程與發展環境及 MorPack 的製作發展過程與應用，希望在本篇專題中，能讓讀者瞭解國研院晶片中心所提供的各種系統單晶片發展平台。

虛擬雛型驗證平台

隨著系統單晶片 (SoC) 的功能與異質整合的需求不斷地提高，其研究發展所需的電子系統設計流程的複雜度也隨之提高，再者隨著製程技

術不斷地進步，電子系統的整合愈來愈多而且複雜，如何利用有效地使用電子系統協助新進製程之系統單晶片發展，將是未來 IC 設計領域必需面對的課題。有鑒於此，晶片中心開發出一個高效能的虛擬雛型驗證平台，此平台除了利用不同抽象層級的描述方式來設計硬體元件外，並使用通用平台來進行特定系統的整合；因此，龐大的系統單晶片電路可轉換成軟體程序，直接在快速虛擬雛型驗證平台上執行，不必另外將系統中的硬體元件轉換到實際的硬體，且可以重覆使用特定處理器與硬體元件來縮短開發時間，如此可有效地提高 IP 模組的驗證效率，以縮短系統單晶片進入邏輯層實現所需之時間。

快速雛型驗證平台

由於 SoC 擁有較低成本、低功率、高速及高穩定的優點，學術界對於 SoC 相關的研究發展與訓練優質的 SoC 設計人才不遺餘力；然而，國內大型 SoC 整合計畫團隊，在研發過程中常往往在驗證階段遭遇極大的困難，其中包括：嵌入式處理器的種類以及數量不足、嵌入式記憶體的種類、容量以及配置方式不足、特定週邊裝置不足以及最重要的系統連接結構限制過多等問題。由於 SoC 晶片製造通常需要使用相當大的晶片面積、成本昂貴，因此，如何提供各式各樣系統單晶片一個早期系統開發驗證平台，成了重要的課題。為了讓國內學術界能有最先進的 SoC 驗證及展示環境然，晶片中心發展出可模組化的系統單晶片雛型驗證平台 (Concord)，藉由模組化概念，使用者可自

由組合抽換不同元件周邊之子板，不僅可實現多種匯流排架構，亦可同時驗證多個模組，迅速提供各式各樣系統單晶片開發者一個雛型驗證平台，更可做為學術界整合型計畫的驗證平台解決方案。

多計畫系統單晶片平台

由於 SoC 晶片製造成本昂貴，在有限的資源下，為協助國內 SoC 團隊展現其研究成果，國研院晶片中心提供了一個創新的多計畫系統單晶片（Multi-Project System-on-Chip，簡稱 MP-SoC），藉由共用 SoC 平台的機制將多個 SoC 計畫整合進單一晶片中，大幅降低每個 SoC 晶片製造的成本，同時也提高了每個 SoC 晶片驗證的可靠度，可讓更多的學術單位實現與其所設計 SoC 晶片，達成實體晶片驗證之目的。由於 MP-SoC 是將多個 SoC 計畫整合進單一晶片中，系統上又同時包含軟體與硬體，在設計與驗證所使用的工具與驗證環境需更加的完備；因此國研院晶片中心提供一個完整的設計流程與發展環境提供學術界使用，晶片中心所提供的 MP-SoC 設計流程包含五個步驟，系統虛擬雛型驗證、邏輯層實現、快速雛型驗證，實體層次實現及量測流程。先前晶片中心採用 MP-SoC 的設計概念，成功的整合 4 所大學的 8 個 SoC 計畫至一顆名為 MP-SoC-I 的晶片中，並在隔年成功的發展整合 7 所大學

的 12 個 SoC 計畫至 MP-SoC-II 的晶片中，大大地節省 SoC 晶片製作的成本與提供學術界更多 SoC 晶片下線的機會。

三維異質整合系統平台

國研院晶片中心為方便學術界與產業界發展，除了以 MP-SoC 協助各研究團隊發展 SoC 外，亦提出了一個三維異質整合系統平台—MorPack（Morphing Package）。MorPack 系統平台是使用封裝整合技術及平台式（Platform-based）系統設計概念，配合 MorPack 系統設計流程，所開發出的三維異質整合系統平台。透過適當的系統分割方法及使用 Tri-state 介面來進行各基板晶粒訊號連接，使 MorPack 系統擁有極佳的系統周邊擴充性，使用者僅需以極低成本進行晶粒（Bare die）更新，即可整合出異質系統；此三維異質整合平台以其具有封裝整合技術及三維的推疊架構的特性，使系統具有異質晶片整合的能力及微小化的特性。配合國研院晶片中心所提出的 MorPack 系統設計流程，包含系統層級架構設計、邏輯層級設計、雛型驗證、實體設計、晶粒量測及驗證、及晶粒/基板組裝等，使用者可以低成本、高效率的方式，快速發展所需的異質系統，此系統大大地增加了學術界進行封裝異質整合系統開發與軟硬體相關研究之研發能量。

虛擬平台之介紹-以 Fast Models 建置 MorPack 為例

文/圖 莊彥澤 國家晶片系統設計中心

摘要

本文將介紹如何因應日趨愈來愈複雜的電子系統之設計流程。內容包括利用不同抽象層級的描述方式來設計硬體元件，與基於通用平台來進行特定系統平台之設計方法，並說明如何利用 ARM 的 Fast Models 軟體來設計 MorPack 計畫中的虛擬平台，提高軟體開發的時效性。

電子系統之介紹

一般電子系統的組成，可分為硬體元件（Hardware Component）與控制這些硬體元件執行的軟體程序（Software Process）。過去的電子系統功能單純，設計過程中所遇到的問題較容易解決。但是隨著製程技術的不斷進步，系統功能的整合愈來愈多面。圖 1 為 ITRS 對接

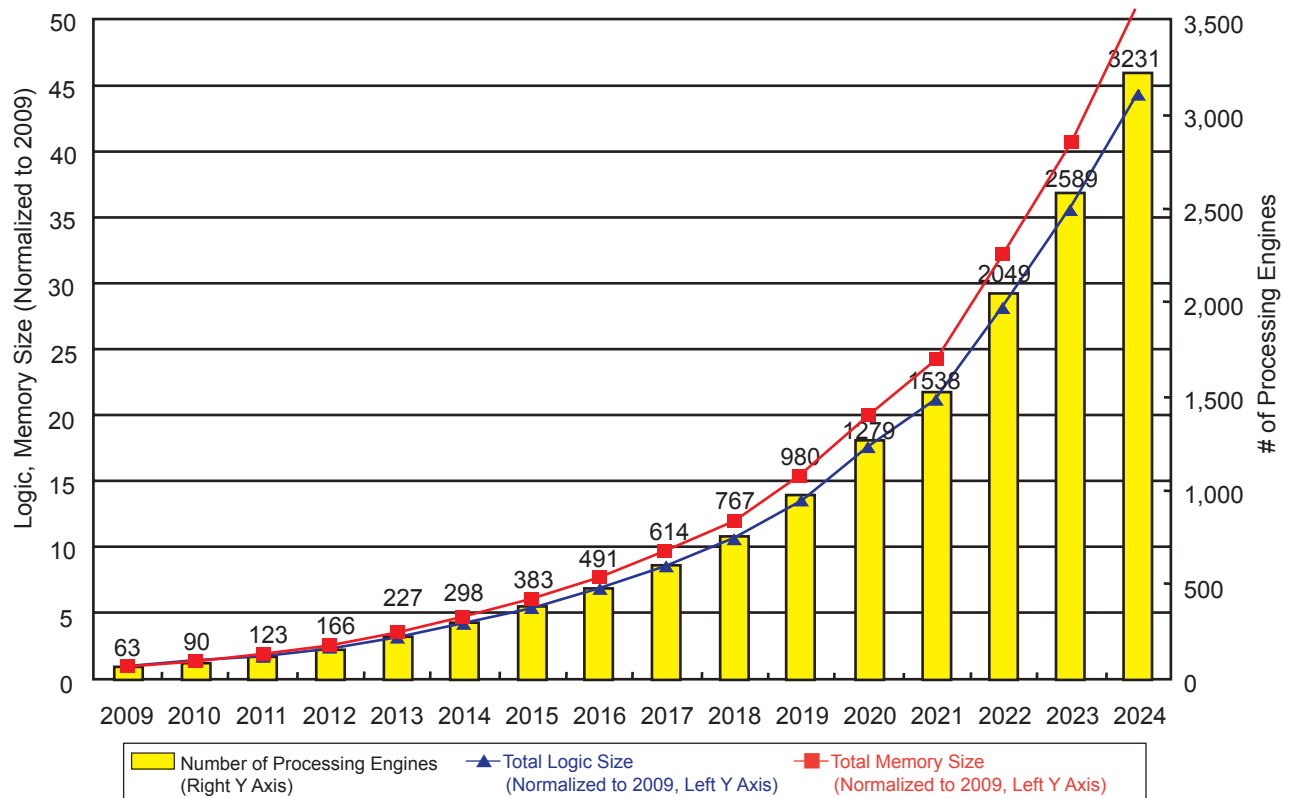
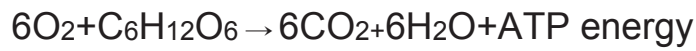
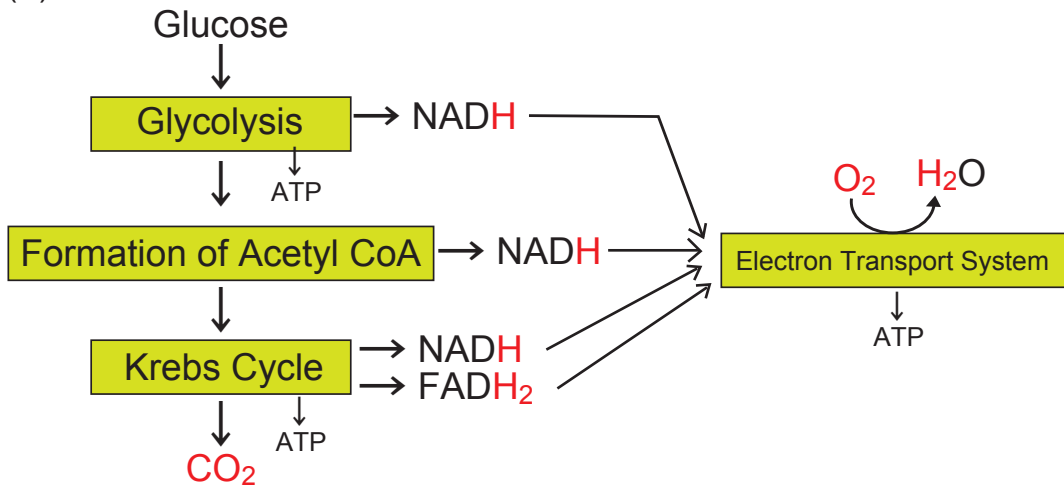


圖 1 ITRS 針對可攜式消費性 SoC 產品的设计複雜度之趨勢圖。

(式1)



(a)



(b)

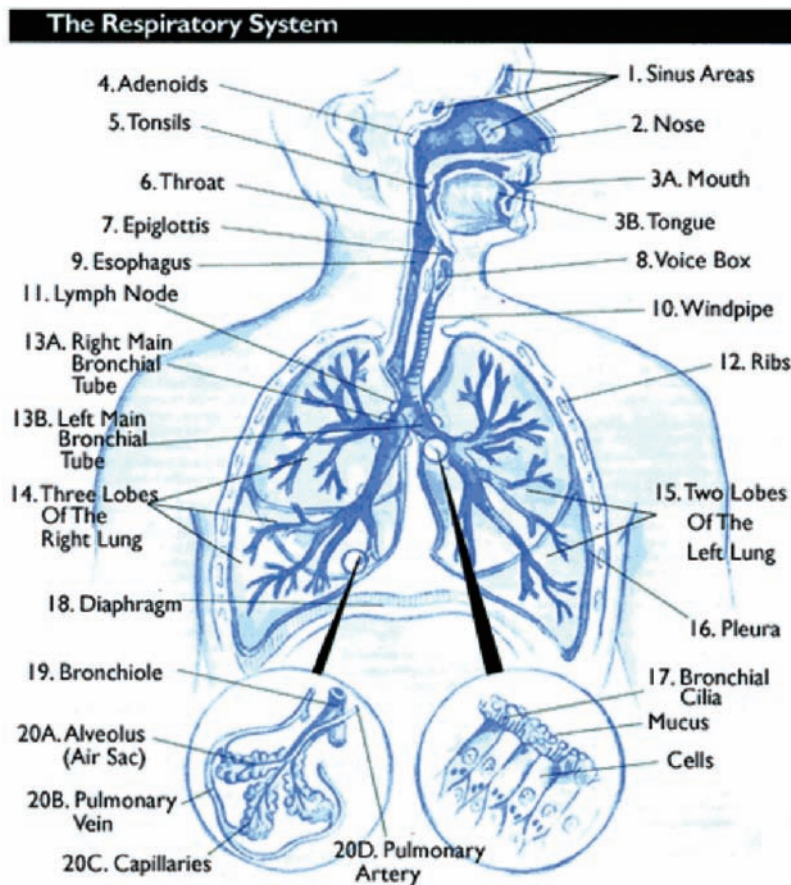


圖2 (a) 人類有氣呼吸系統的化學反應式；(b) 人體呼吸系統之器官。^[2]

下來半導體的 Capacity 所作的預測^[1]，可以看到系統只會愈來愈複雜，而設計的方法勢必要有所變新。

本文將介紹針對這些問題較常被提出的設計方法流程，包括利用不同抽象層級 (Abstract Level) 的描述方式來設計硬體元件，與基於通用平台來進行特定系統的平台式設計 (PBD, Platform-based Design) 之方法。底下幾節將就這兩項設計方法作進一步介紹，最後並以 MorPack 計畫為例，說明如何利用 ARM 的 Fast Models 軟體來設計其虛擬平台，讓讀者對系統層級之設計能進一步認識。

抽象層級之介紹

系統的定義，在於針對不同的輸入進行特定的運算處理後，產生對應的輸出。用最優美的語言來描述一個系統，其實就是數學函式 (Function)，即 $y=f(x)$ 。系統的觀念存在於許多不同的領域，以人類的有氧呼吸系統來看，整個氣體在體內的作用可簡化成以圖 2 中 (式一) 的化學反應式來表示^[2]。亦即輸入為醣類與氧氣，輸出則為二氧化碳、水蒸氣跟能量 (ATP, 三磷酸腺苷)。而之間所進行的處理則可再細分成 Glycolysis、Krebs Cycle, 及 Electron Transport Chain 三個階段，如圖 2 (a) 所示。

也就是說，就呼吸系統來看，其硬體元件就像圖 2 (b) 的數十個相關的器官，彼此在呼吸道上連結形成具備特定功能的系統之實體；而在其內所進行的動作，可以像 (式 1) 所表示的一個簡單描述輸入與輸出的化學反應式，

也可以進一步描述呼吸作用在細胞的粒線體 (Mitochondria) 內所進行的三個階段，如圖 2 (a)。當然，還可以更詳細描述細胞間的換氣機制 (Ventilation)、與神經系統之間的互動等。這些不同的描述方式各有其適當的使用場合，差異在其表達的方便性，與不同的詳細程度等需求。

同樣地，電子系統的功能也有適用在不同使用情形下的描述方式，亦即不同抽象層級的描述方法。這樣做的目的在於系統的模擬所需時間與模組的準確度，在不同的設計階段會有不同的需求。同樣一個功能的硬體元件，在一開始的演算法設計階段，就軟體程序設計人員來看，可能只需要功能上的正確，還不需要精確到得考慮時脈的問題。但是如果是用來跟其他硬體元件的整合之設計，可能就必須考慮到時脈的正確性。

所以一個硬體元件的模組方法 (Modeling) 會有不同抽象層級的描述方法。一般常見的有抽象層級較高的處理程序層級 (Transaction Level Modeling, TLM)，使用的描述語言通常為 C 或 SystemC 等；以及精確度較高的暫存器轉換層級 (Register Transfer Level, RTL)，使用的描述語言通常為 Verilog、VHDL 等。可參考圖 3 為例^[3]。

而整個電子系統的設計流程，便是這些組成該系統的硬體元件，在一堆不同抽象層級之間不斷地作轉換，同時開發對應的軟體程序來加以驗證，來實現所需之具體功能的過程。到最後功能無誤之後，再導入到晶片製作的流程並予以產品化。

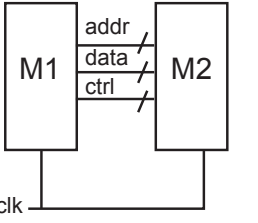
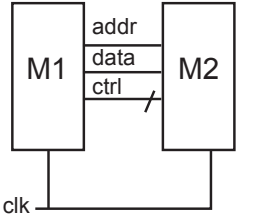
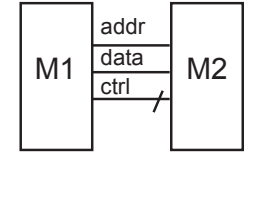
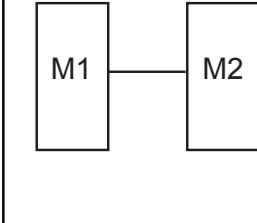
抽象層級	Register Transfer		Transaction/Messaging	
抽象化	邏輯閘、線路延遲	線路、暫存器	時脈、協定	共用資源、時間
抽象化簡之圖例				
範例程式	<pre> addr <= "b1000" ; data <= "b0101" ; nMREQ <= '0' if (nWait== '1') state <= wr_wait; </pre>	<pre> addr <=8; data <=3; nMREQ <= '0' if (nWait== '1') state <= wr_wait; </pre>	<pre> addr <=8; data <=3; nMREQ <= '0' wait (nWait== '1') </pre>	<pre> send (8, 3); or while (wr_req(8)) write (3); </pre>

圖 3 使用不同抽象層級的模組方法 (Modeling) 來描述硬體元件。

平台設計之介紹

在電子系統的功能不斷整合下，這些硬體元件超過數百數千個時，系統的開發不可能是從頭開始、從無到有，因為太過費時費力。平台式設計方法的產生，便是為了讓設計人員能更快速地開發功能日趨複雜的電子系統^[4]。以功能面來看，實際使用的平台之組成，可依需求作彈性地改變，包括處理器的選擇、硬體周邊的擴充能力、元件連接所使用的匯流排協定等。設計人員在開發特定應用的電子系統時，可以選擇現有的幾類平台來作開發，如此一來，硬體裝置能重覆使用，能大幅縮短開發時間。而平台的使用者—軟體設計人員，也可以直接在此平台上進行程式之開發與驗證。在系統驗證完整之後，再製作出最後的成品，大幅減少開發成本與偵錯的時間。

常見的平台式設計方法為實體平台的使用，上面有特定處理器、FPGA、擴充槽以及基本的周邊裝置，例如圖 4 即為 ARM 的 Emulation Board (EB) 板。^[5]中詳細介紹實體平台的使用與開發。這樣的平台式設計方法確實對系統的開發帶來許多便利。

不過，當電子系統的規模大到一個專案的軟體開發人員要達數百人之時，實體平台所增加的開發成本遂成瓶頸，於是虛擬平台的設計方法便開始漸漸有其需求。利用抽象層級較高的描述語言來設計硬體元件，並以這些元件實作出該平台之模擬程式，就是虛擬平台的設計方法。軟體程序可以直接在此虛擬平台上執行，

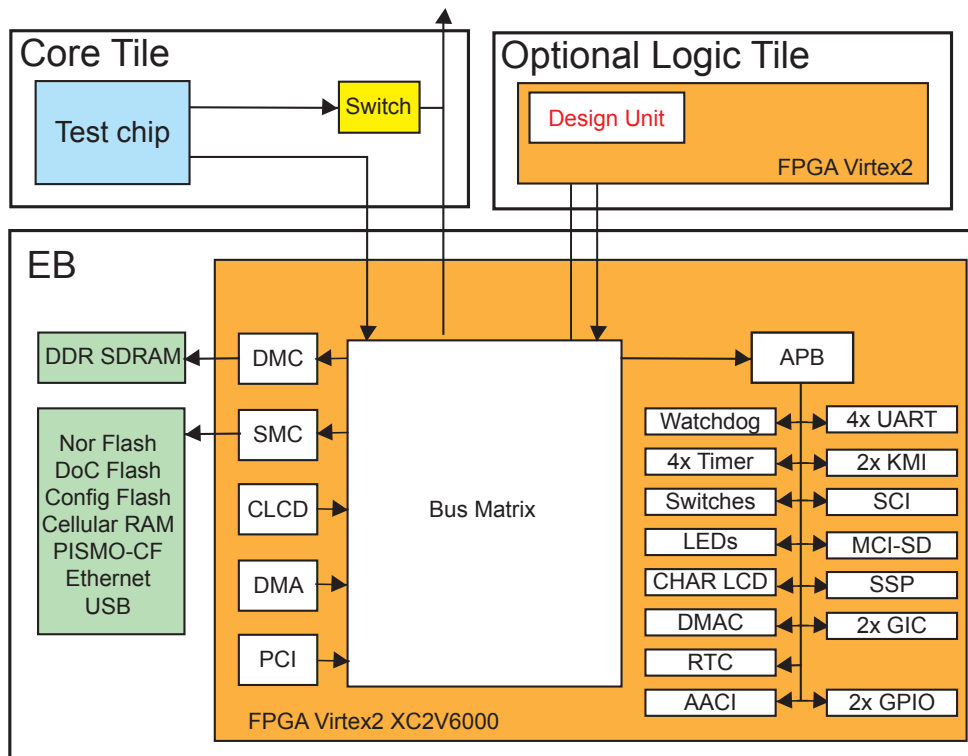
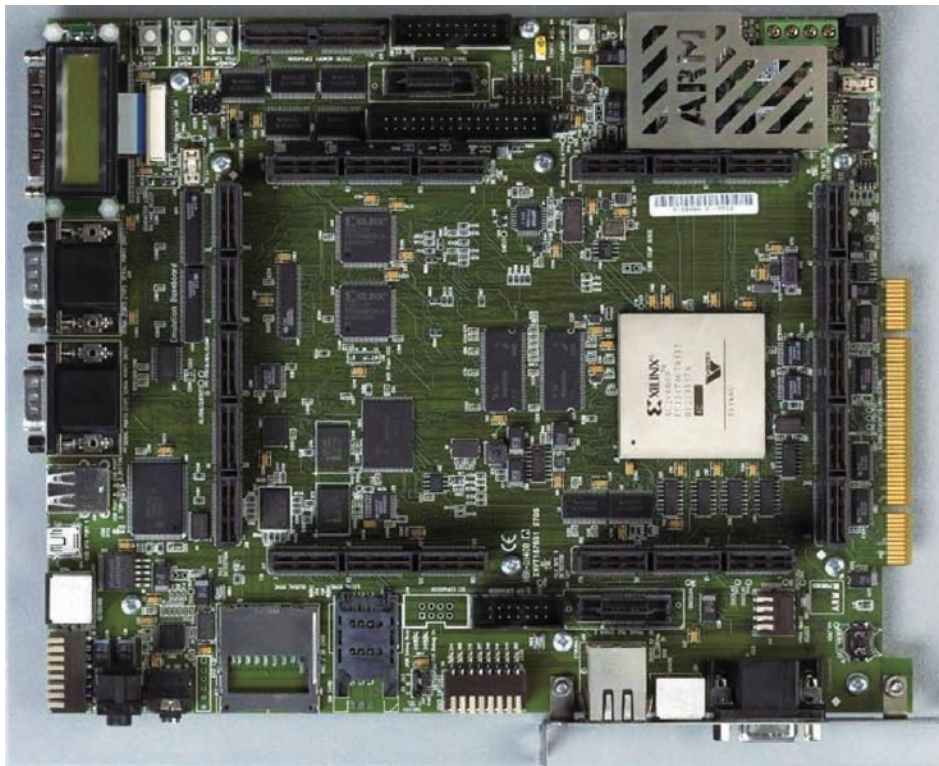


圖 4 ARM 所提供的實體平台 – RealView EB 板及其系統架構圖 (圖片來源: ARM)。

不必另外將系統中的硬體元件轉換到實際的硬體，藉以降低開發成本。這樣的平台所提供的精確度較低，不過模擬速度相當快，因此適合於大型軟體的功能性驗證。

一般而言，平台式設計流程中，各個硬體元件除了必須提供可合成的硬體電路外，還要有可以在虛擬平台的環境中模擬的對應之模組。這樣一來，以虛擬平台所設計開發之系統，便可直接在對應的實體平台上做進一步精確之驗證，同時也能直接下線製作成晶片。

使用虛擬平台的設計方法這幾年愈來愈普及。本中心為了提供國內學術單位更便利的系統開發平台，陸續引入多套虛擬平台的開發軟體^[6]，包括 Synopsys 的 Platform Architect（原 CoWare）、Carbon 的 SoC Designer（原 ARM）、ARM 的 Fast Models，及 Wind River 的 Simics（原 Virtutech）。下一節我們將利用 ARM 的 Fast Models 做虛擬平台範例之介紹，詳細說明可參考^[7]。

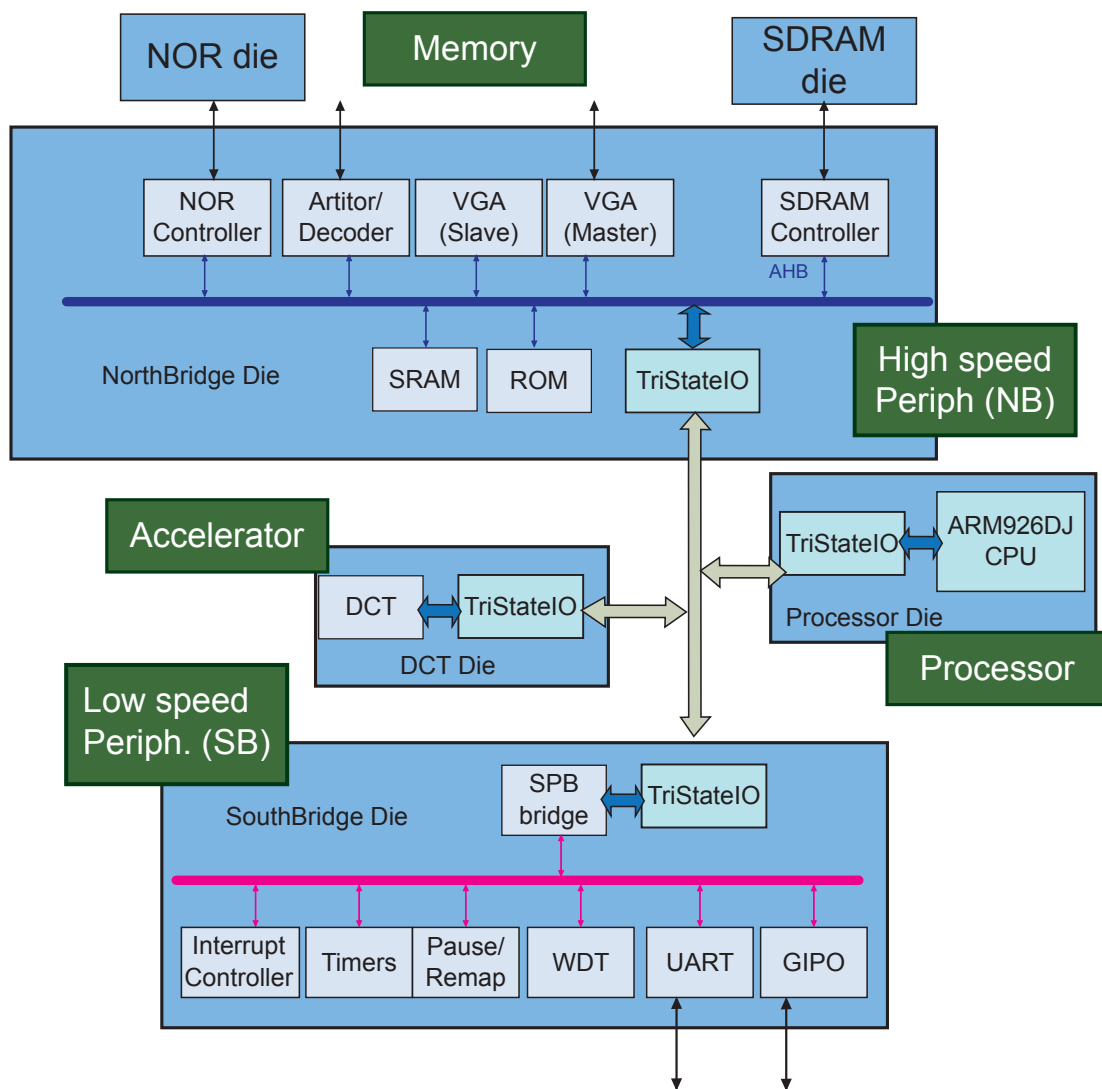


圖 5 MorPack 計畫的系統架構圖。

虛擬平台之實作—以 MorPack 為例

國研院晶片中心透過 MorPack 計畫，提供學界更合乎成本效益，同時便於使用的三維晶片（3D IC）之平台。MorPack 計畫的系統架構圖如圖 5 所示，包含了處理器晶片（Processor

Die）、高速的北橋晶片（NorthBridge Die，NB）、低速的南橋晶片（SouthBridge Die，SB）、硬體加速器 DCT 晶片（DCT Die）、NOR Flash Die、及 SDRAM Die 等。

表 1 MorPack 系統中的硬體元件

	HW Component		RTL IP / FM Model	Mapping Addr.	SW Procedure
CPU	ARM926EJ		ARM926CT		
NB	Arbiter				
	Decoder		PVBusDecoder		
	NOR Flash Model		PL350_SMC.axi (Intel StrataFlash Memory)	0x2000_0000	test_flash
	SDRAM		PL340_SMC.axi (RAMDevice)	0x4000_0000	test_sdram
	ROM		RAMDevice	0xC000_0000	
	Memory		RAMDevice	0xC800_0000	test_sram
	SVGA/CLCD		PL110_CLCD	0xD000_0000	test_vga
	SDRAM Ctrl		PL340_DMC.apb	0xD800_0000	test_sdram
	NOR Flash Ctrl		PL350_SMC.apb	0xD800_1000	test_flash
SB	APBif		PVBusDecoder		
	RPS	IntCntl	PL192_VIC	0x8000_0000	test_interrupt
		Timer	SP804_Timer	0x8400_0000	
		UART	PL011_Uart	0x8C00_0000	test_uart
		WDT	SP805_Watchdog	0x9000_0000	test_watchdog
		GPIO1	PL061_GPIO	0x9400_0000	startup
		GPIO2	PL061_GPIO	0x9800_0000	startup
	KMI	PL050_KMI	0xA000_0000		
DCT	DRU/IDRU8, ACF, BDEG		CIC001_DCT_v2 (self-implement)	0xE800_0000	test_dct

表 1 列出 MorPack 系統中所用到的硬體元件，包括 RTL 層級的矽智財名稱，以及在 Fast Models 軟體中對應的元件名稱，同時還有這些元件在系統中對應的位址，以及測試相關的軟體程序。

圖 6 是 MorPack 計畫中原先以 Verilog 硬體描述語言所完成之設計。由於 MorPack 系統中所用到的硬體元件，大多是由 ARM 所提供的硬體元件 IP，包括處理器、記憶體及其他周邊裝置等；而 ARM 在 Fast Model 軟體中所提供的硬體元件之模組，也包含這些 IP，因此大多數的 IP 並沒有相容性的問題。另一方面，使用者也可以利用 LISA 描述語言來自行設計硬體元件，例如 CIC001_DCT_v2 便為一例。利用這些元件模組，在 Fast Models 的畫布介面 (Canvas) 中兜出對應的系統，如圖 7，其中 SB 元件的詳細

架構則如圖 8 所示。接著再將各個元件在系統中對應的位址指定完成並進行編譯與鏈結，建置成一可供模擬的動態函式庫後，便是我們模擬用到的虛擬平台。

系統模擬時還要提供此一硬體平台上的軟體程序，才能讓整個系統得以運作。本計畫中所採用的處理器是 ARM 926，因此我們會先將測試南北橋等內部硬體元件的測試程式以 ARM 的編譯器編譯成 ARM 處理器的機器碼，放至在記憶體元件內，再由 ARM 的硬體元件模組載入來執行。執行結果則如圖 9 (b) 所示，圖 9 (a) 則為相同系統對應的 RTL 平台之模擬結果，比對之後可得知 Fast Model 所建置的虛擬平台其功能跟 RTL 所設計的系統並無顯著差異。不過，前者的模擬時間只需不到 5 秒，後者的時間則須 10 分鐘，差之甚矣。

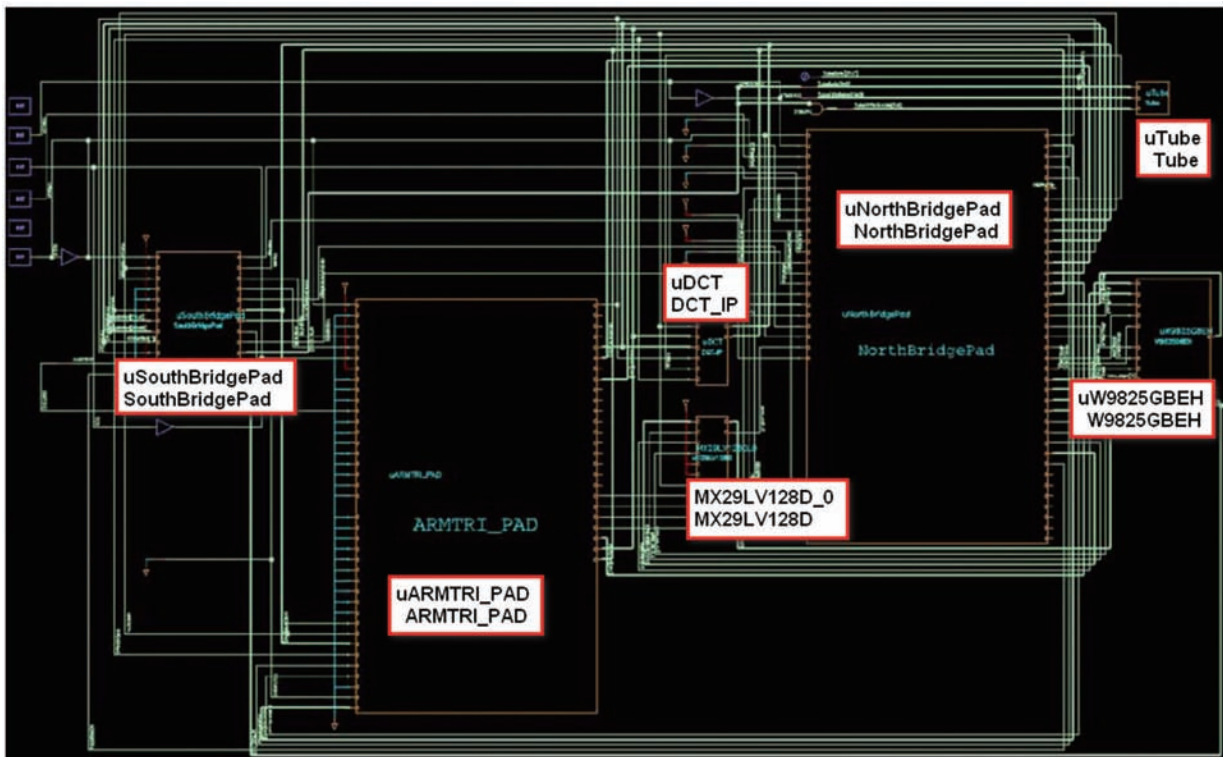


圖 6 MorPack 計畫以 Verilog 設計的 Schematic 表示圖。

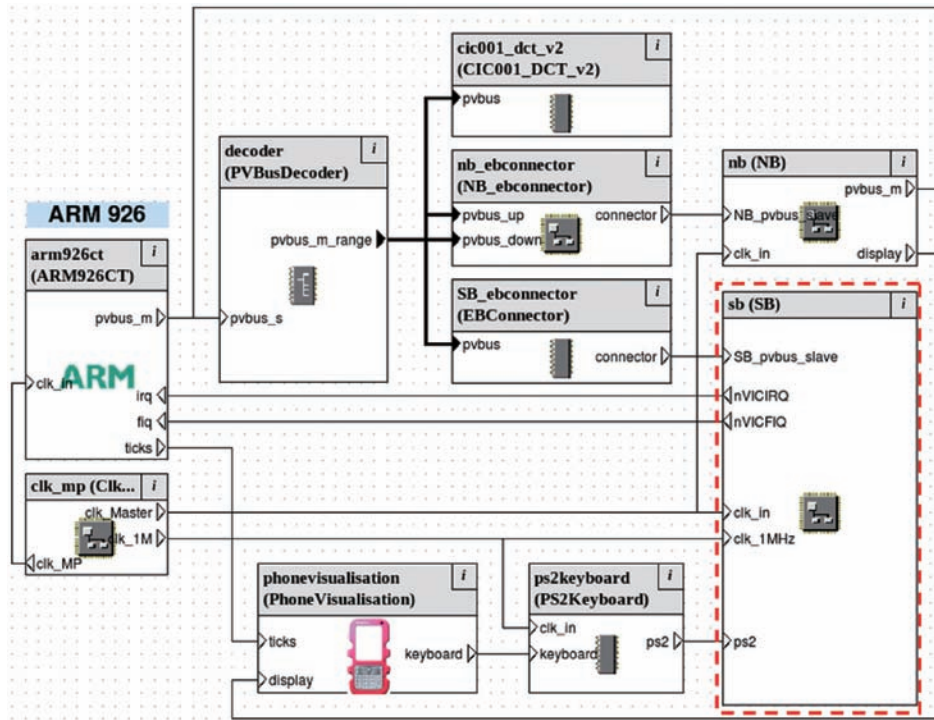


圖 7 以 Fast Models 所表示之 MorPack 系統。

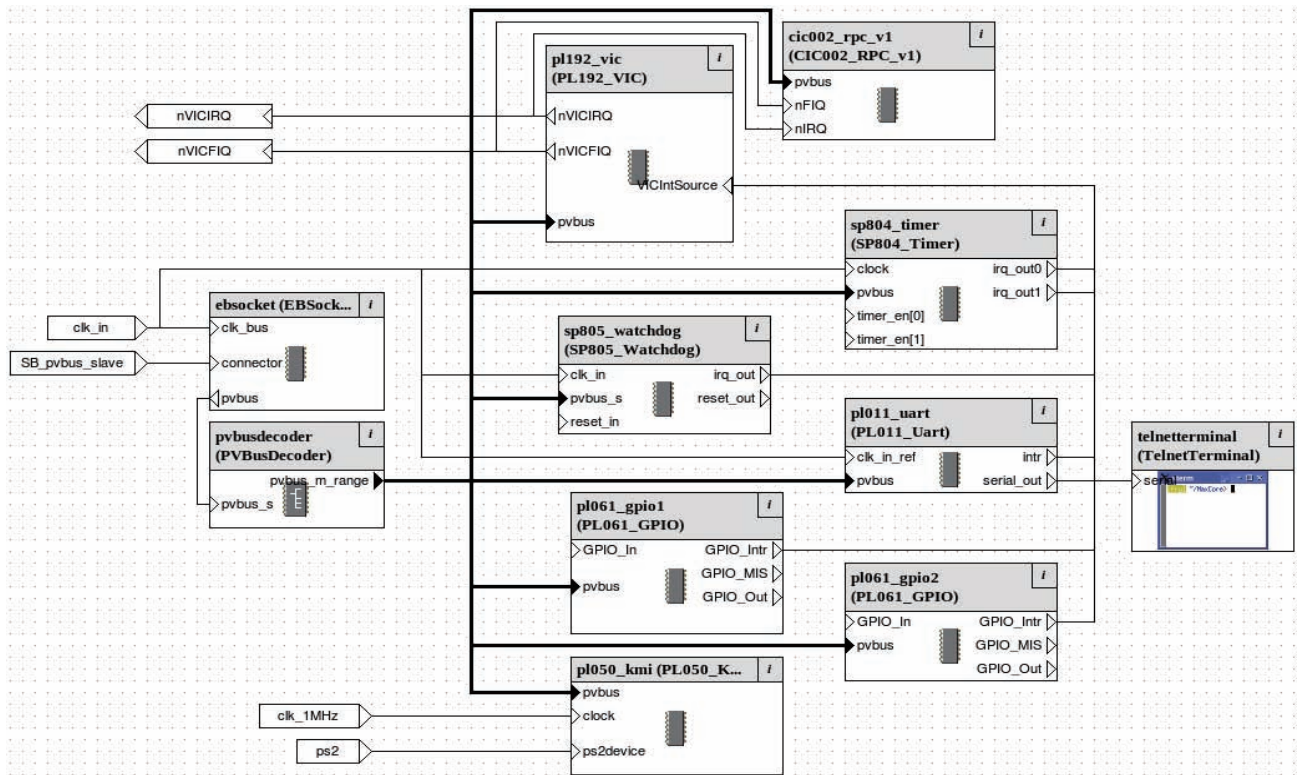


圖 8 SB 元件之內部構造。

(a)

```

TUBE: *****CIC MDH POST*****
TUBE: In test world, use TUBE as output
TUBE: System clock is configured as 100 Mh
TUBE: -----DCT test-----
TUBE: Data input:
TUBE: 01 09 11 19 21 29 31 39
TUBE: 02 0A 12 1A 22 2A
TUBE: 03 0B 13 1B 23 2B
TUBE: 04 0C 14 1C 24 2C
TUBE: 05 0D 15 1D 25 2D
TUBE: 06 0E 16 1E 26 2E
TUBE: 07 0F 17 1F 27 2F
TUBE: 08 10 18 20 28 30
TUBE: Data output:
TUBE: 03 6E FF F0 FF FF
TUBE: ED FF 00 00 FF FF
TUBE: FF FF FF FF FF FF
TUBE: FD FF 00 00 FF FF
TUBE: FF FF 00 00 FF FF
TUBE: FF FF 00 00 FF FF
TUBE: FF FF 00 00 FF FF
TUBE: FF FF 00 00 FF FF
TUBE: FF FF 00 00 FF FF
TUBE: FF FF 00 00 FF FF
TUBE: FF FF 00 00 FF FF
TUBE: Identification:
TUBE: No ID information:
TUBE: Reset status 0x000
TUBE: power on reset
TUBE: -----Interrupt tes
TUBE: Software programme
TUBE: Software programme
TUBE: Identification:
TUBE: -----Counter test-
TUBE: Counter test 1 com
TUBE: Counter test 2 com
TUBE: -----Uart test-----
TUBE: Identification:
TUBE: Peripheral ID 0-4:
TUBE: PrimeCell ID 0-4:
TUBE: RX test:
TUBE: test ok

```

(b)

```

*****CIC MDH POST*****
In real world, use UART as output, baudrate = 38400
System clock is configured as 100 Mhz
-----DCT test-----
Data input:
01 09 11 19 21 29 31 39
02 0A 12 1A 22 2A 32 3A
03 0B 13 1B 23 2B 33 3B
04 0C 14 1C 24 2C 34 3C
05 0D 15 1D 25 2D 35 3D
06 0E 16 1E 26 2E 36 3E
07 0F 17 1F 27 2F 37 3F
08 10 18 20 28 30 38 40
Data output:
02 6D 00 F0 00 FB FF FE
EC 00 00 00 00 00 00 00
00 00 00 00 00 00 00 00
-----Pause test-----
-----SDRAM test-----
SRAM byte access test
Writing data
Checking data
SRAM half word access test
Writing data
Checking data
SRAM word access test
Writing data
Checking data
-----SDRAM test-----
DMC Identification:
Peripheral ID 0-4: 40 13 14 00
PrimeCell ID 0-4: 0D F0 05 B1
SDRAM initialised successful
SDRAM access test:
SDRAM byte access test
Writing data
Checking data
SDRAM half word access test
Writing data
Checking data
SDRAM word access test
Writing data
Checking data
-----Watchdog test-----
Identification:
Peripheral ID 0-4: 05 18 14 00
PrimeCell ID 0-4: 0D F0 05 B1
Check lock register:
unlocked
Watchdog interrupt test:
returned and successful
*****Test finished*****

```

圖9 模擬結果 (a) RTL平台；(b) Fast Models平台。

結論

短短數十年間，電子系統的發展從發現第一個電晶體，到今日一個小小的晶片內包含數十億個電晶體元件，不僅令人匪夷所思，也不難想像其發展過程中不斷面臨的挑戰與突破。本文從設計人員的角度來解釋其因應之道，除了利用不同的抽象層級來簡化系統外，也可以利用平台式設計方法，重覆使用特定處理器與硬體元件來縮短開發時間。以 MorPack 系統的實作來看，軟體程序的设计人員的確可以節省相當的模擬時間。因此我們也積極推廣此一類系統設計、開發之工具，希冀國內學界研究的系統之規模能有更大的突破。

參考資料

- [1] ITRS 2009 Update, System Drivers
- [2] <http://bcscience8.wikispaces.com/>
- [3] 莊彥澤, “軟、硬體共同模擬 – 以 SoC Designer 實作 MP-SoC 虛擬平台為例”, CIC Tech. Report, Dec., 2008
- [4] L.P. Carloni, F. De Bernardinis, C. Pinello, A.L. Sangiovanni-Vincentelli, and M. Sgroi, “Platform-Based Design for Embedded Systems”, In R. Zurawski (Ed.), "The Embedded Systems Handbook", CRC Press, 2005
- [5] 張家榮, 嵌入式系統驅動程式開發概論, Jan. 2009, No. 21, 國研科技
- [6] <http://www.cic.org.tw>
- [7] 莊彥澤, “以 Fast Models 建置 MorPack 之虛擬平台”, CIC Tech. Report, Sept., 2010

Concord - 可模組化系統單晶片雛型驗證平台

文/圖 吳建明、楊智喬、黃俊銘 國家晶片系統設計中心

摘要

鑒於系統單晶片 (System-on-Chip, SoC) 對產業的巨大影響，政府投入大量資源與人力，進行系統單晶片相關課題之研究，然而，國內學術界的 SoC 研發團隊在進行晶片實作驗證階段時卻遭遇極大的困難。由於 SoC 晶片製造通常需要使用相當大的晶片面積、成本昂貴，因此，如何提供各式各樣系統單晶片一個早期系統開發驗證平台，成了重要的課題。鑒於上述，我們發展出可模組化的系統單晶片雛型驗證平台 (Concord)，藉由模組化概念，使用者可自由組合抽換不同元件周邊之子板，不僅可實現多種匯流排架構，亦可同時驗證多個模組，迅速提供各式各樣系統單晶片開發者一個雛型驗證平台，更可做為多種整合型計畫的驗證平台解決方案。

緣起

為了讓國內 SoC 團隊有機會將研究成果實做成晶片，CIC 與成大李昆忠教授合作，共同提出「多計畫系統單晶片」(Multi-Project SoC, MP-SoC) 這個概念，MP-SoC 設計概念雖然解決了學術界 SoC 晶片無法實作的困難，但是在研發過程中我們卻發現更多需要克服的難題，其中又以 SoC 晶片在下線前的快速雛型驗證問題最為棘手。一般晶片在下線製作前，為了降低

風險、提高成功率，通常會使用 FPGA (Field Programmable Gate Array) 進行快速雛型驗證，但是對於 SoC 等級的晶片而言，由於包含了嵌入式處理器、嵌入式記憶體以及高複雜度的電路架構，即使運用最高等級的 FPGA 元件，通常也無法進行完整的 SoC 快速雛型驗證，因此一般業界大都會使用諸如：ARM RealView Versatile (如圖 1 所示) 之類功能性較佳的 SoC 驗證平台來進行 SoC 快速雛型驗證，然而這類型的 SoC 驗證平台除了單價比較高昂外，擴充性還是有些許限制。以 Versatile 平台為例，此平台僅提供 2 個擴充插槽供使用者配置嵌入式處理器及硬體加速器 (Hardware Accelerator)，而擴充插槽間的連接結構是完全固接無法變更的，對於 MP-SoC 這類同時要驗證包含多個嵌入式處理器以及多個硬體加速器的複雜系統晶片而言，Versatile 平台並無法提供完整的系統快速雛型驗證功能。

除了上述問題之外，在與多個學術界團隊合作過程當中我們發現，國內大型整合計畫團隊在計畫進行過程中以及最後結案成果展示時也會遭遇到 SoC 驗證平台功能不足的問題，其中包括：嵌入式處理器的種類以及數量不足、嵌入式記憶

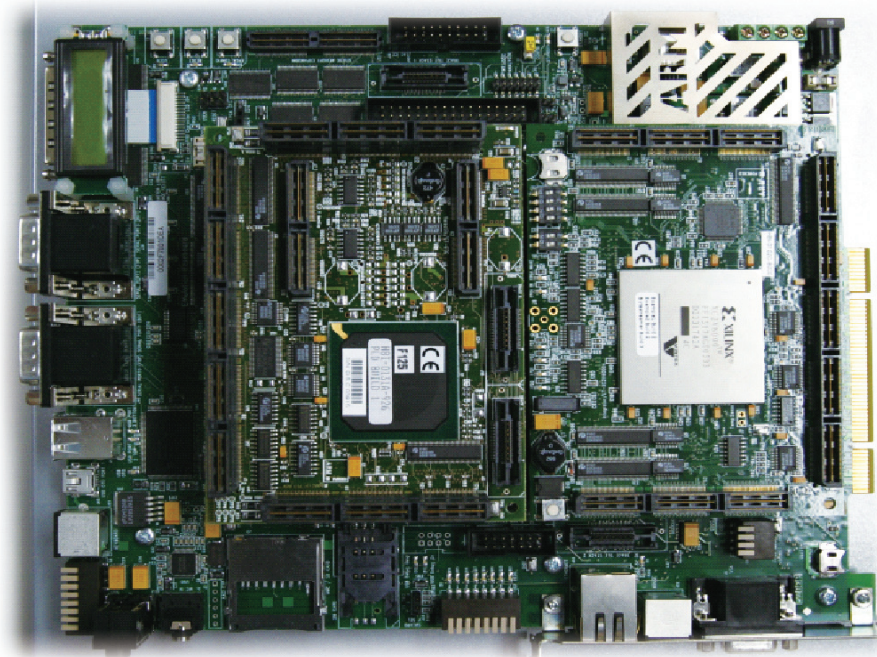


圖 1 ARM RealView Versatile。

體的種類、容量以及配置方式不足、特定週邊裝置不足以及最重要的系統連接結構限制過多等問題。這些問題在遍詢業界現有解決方案不得其解之後，為了讓國內學術界能有最先進的 SoC 驗證及展示環境，我們開始考慮自行開發系統單晶片雛型驗證平台。

我們在開發系統之前觀察並歸納了 3 個現有 SoC 驗證系統最主要的缺點：

1. 系統連接結構缺乏彈性，使用者無法任意混合不同的匯流排或是網路架構。
2. 系統構裝不夠模組化，使用者不易配置出特定平台。
3. 無法保證和上游的虛擬驗證以及下游的晶片實作驗證結果間的一致性。

我們基於這些觀察結果訂定了全模組化的構裝結構以及可任意配置及混合不同匯流排（On

Chip Bus，OCB）或是網路架構（On Chip Network，OCN）的系統目標，由於確保驗證結果與上游的虛擬驗證以及下游的晶片實作驗證結果間一致性相當重要，所以我們將此一系統單晶片雛型驗證平台命名為 Concord 以強調與其它現有平台間的差異性^[2,3]。

概念

快速雛型驗證平台是常被用來驗證系統單晶片設計的方法之一，目前市面上有很多快速雛型驗證硬體平台，這些產品是透過提供多餘的 FPGA 模組，以便讓設計者可以在這些 FPGA 模組加入自行設計的硬體加速器，雖然使用這類驗證平台系統對單一硬體加速器的設計團隊非常有用，但由於限制了匯流排的架構，使得這些快速雛型驗證系統之使用彈性不足，很難同時驗證「多個硬體加速器」。另外，由於這種驗證系統中的匯流排結構與匯流排上的矽智財（如微處理器、內部

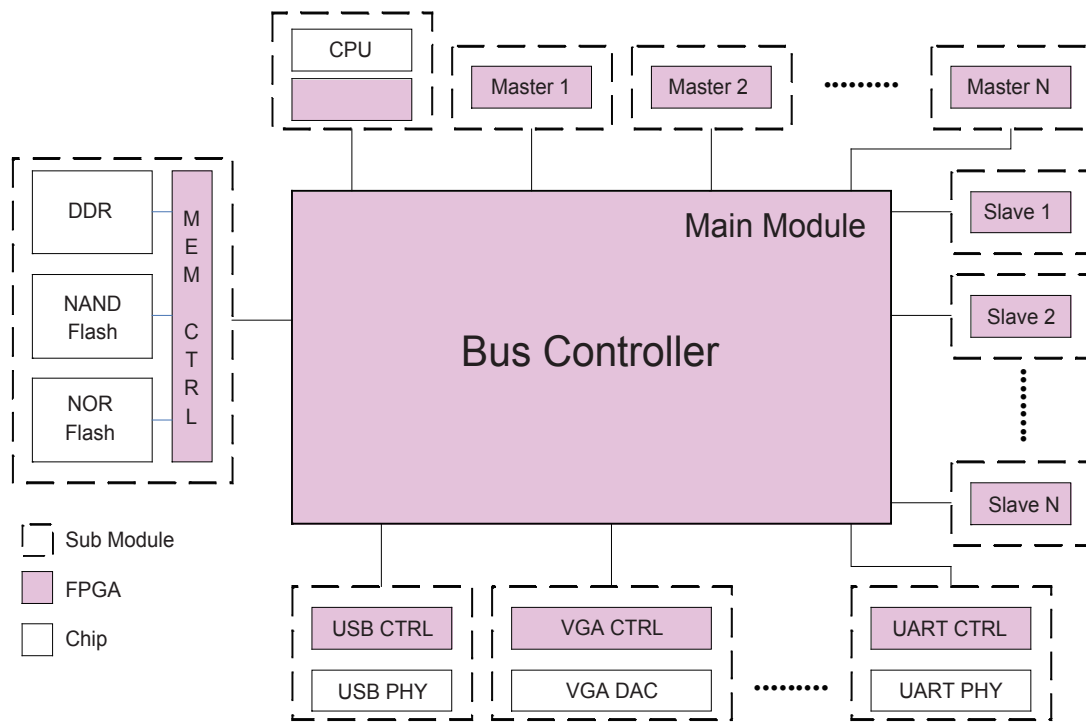


圖 2 Concord 平台模組化概念圖。

記憶體、硬體加速器及輸出/入埠等)的個數與種類(也就是 Master、Slave 或 Master/Slave 等)都被限定,因此不易更換及增/減驗證平台上的矽智財,例如平台上的微處理器的型號及個數是購買驗證平台時就被限定了。為了解決此問題,我們開發出一種模組化系統單晶片雛型驗證平台(Concord),透過此 Concord 平台可以讓使用者在同一個平台上變換驗證不同的匯流排架構;同時也可以讓使用者自由的更換及增/減驗證平台上的矽智財數量與種類。由於此實體的快速雛型驗證平台上的 SoC 設計有能力可以和開發階段的虛擬雛型平台層級及 HDL (Hardware Description Language) 平台層級的電路一致,避免設計者在不同設計層級需要修改電路設計來配合平台的困擾,使得使用者可以在開發階段即可不受限制的進行更真實 SoC 系統驗證。

可模組化系統單晶片雛型驗證平台示意圖如圖 2 所示,其透過一母板(Main Board/Main Module)實現匯流排架構,連接數個模組化子板(Sub Board/ Sub Module),使用者可以自由的更換及增/減驗證平台上的周邊或處理器(CPU)子板,即可快速地將自己想要開發的 SoC 設計實現於 Concord 平台上進行驗證。為了讓平台可以達到模組化及可任意配置及混合不同匯流排(OCB)或是網路架構(OCN)的系統目標,我們將匯流排架構實現於母板的 FPGA 上(如圖 2 中的 Bus Controller),同時,每個子板上都放置一個 FPGA 與母板的 FPGA 連接如圖 3,模組與模組間的連接與溝通都是透過 FPGA 來定義,因此平台可以實現任何的 OCB 匯流排架構,且同時具有模組化的能力,使用者因此可以非常彈性的規劃驗證自己

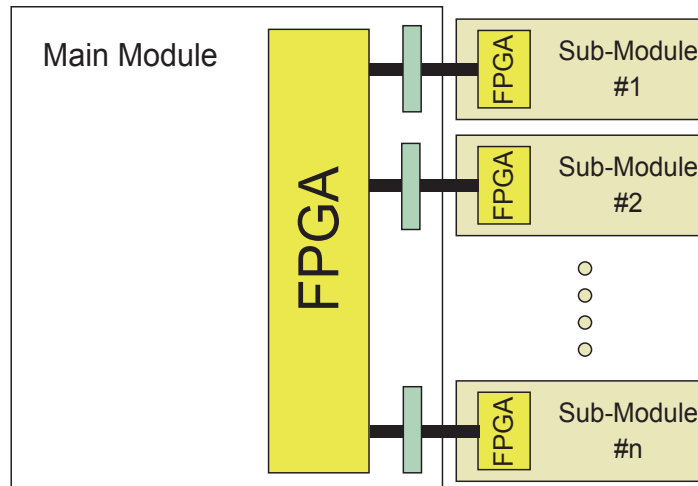


圖3 Concord 平台模組溝通示意圖。

的 SoC 設計，並可應用於驗證不同匯流排架構之 SoC 系統。

只要子板上所有模組的连接腳位之總數量低於母板上用於實現 OCB 模組的 FPGA 接腳位之數量，則平台即可正確的工作。一旦母板接腳位數量不夠時，在我們所提出的混合不同晶片匯流排技術概念下，只要加大母板 FPGA 接腳位數量（可以增加母板 FPGA 個數或購買更大接腳位數量的 FPGA 晶片）即可解決此問題，因此，所提出之的晶片匯流排技術可以適用於驗證各種不同型式且複雜的 SoC 系統。

架構與實現

目前的 Concord 第一代平台已規劃並完成母板與 8 種不同功能的子板，系統最多可同時支援 12 片子板，子板與母板的實體連線採用 220 腳位的 PXI (PCI eXtensions for Instrumentation) 接頭，用以搭載系統共用訊號（電源、重置訊號、可程式化時脈共

11-pin）、子板資訊（10-pin）、JTAG 掃描串（4-pin）、子板獨立訊號（165-pin）等。藉由子母板間 CPLD 的连接來交換資訊，讓 Concord 平台可以實現自動偵測子板狀態之機制。

Concord 母板可搭載 12 片子板，並供給子板 5 伏特電源、2 組重置訊號與 4 組可程式化時脈，子板間各有 15 條訊號相接，母板上裝載 3 顆 FPGA 用來實現匯流排架構，每顆 FPGA 與每片子板上的 FPGA 各有 55 根訊號相連，所有子母板 FPGA 可藉由 JTAG 串起燒錄。此外，母板上有 1 顆 CPLD 與每片子板上的 CPLD 各有 10 根訊號相連，可接收子卡資訊，並透過 UART 與 PC 溝通，可用來實現自動偵測子卡機制。圖 4 是 Concord 母板的示意圖。

在 Concord 子板的實現上，我們以一包含各種記憶體及 IO 之多功能子板為例來說明，此多功能子板上有完整的記憶體週邊（包含：NAND

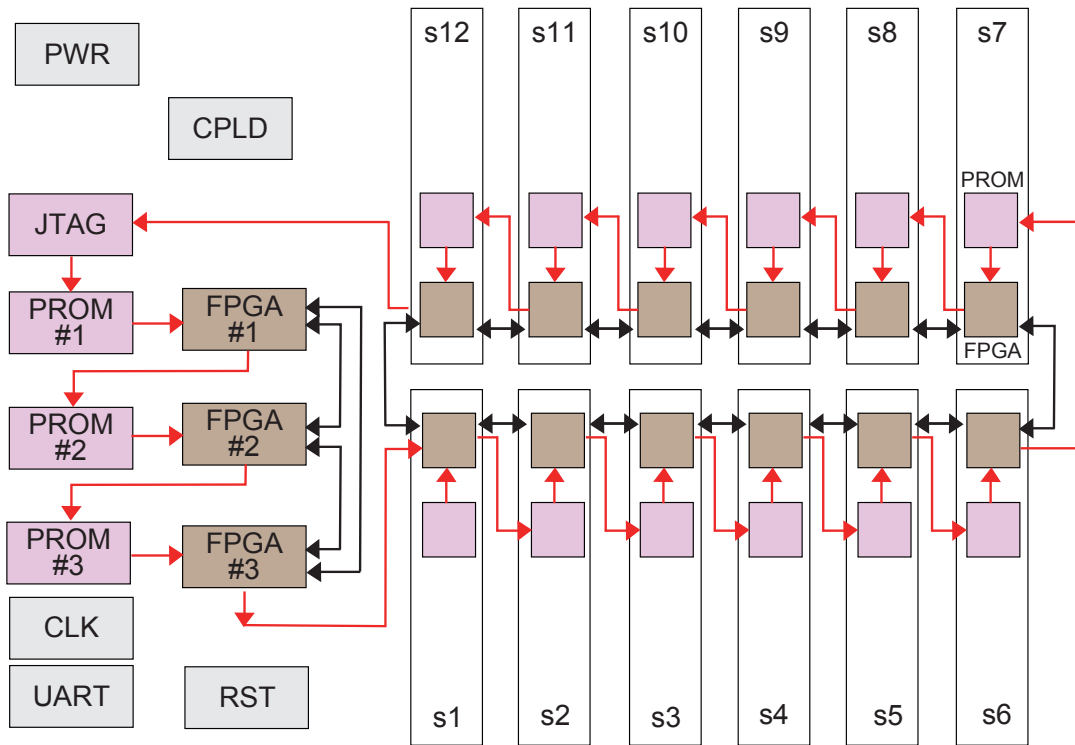


圖 4 Concord 母板示意圖。

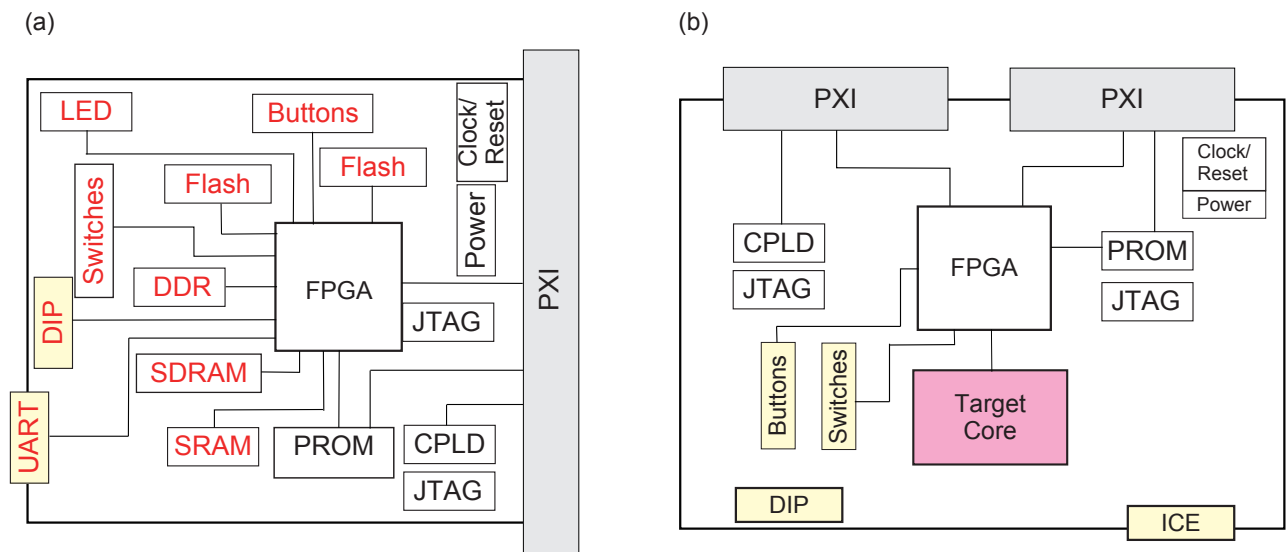


圖 5 Concord 子板示意圖 (a) 多功能子板；(b) 處理器子板

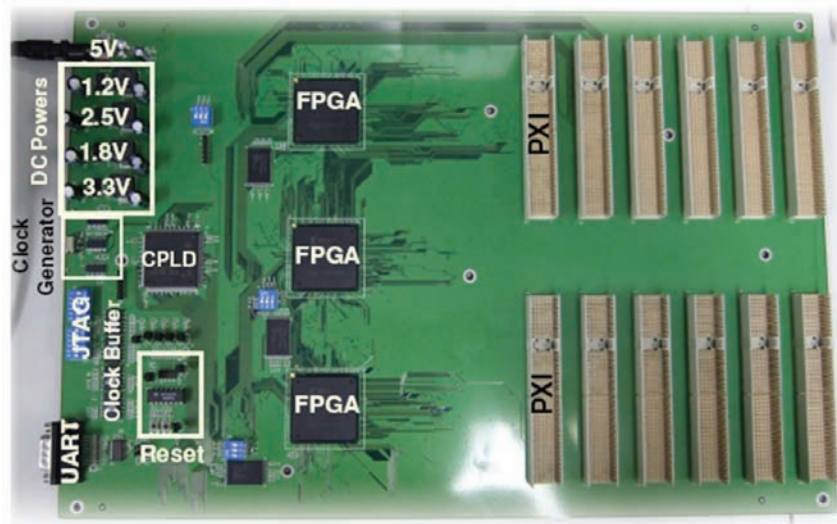


圖 6 Concord 母板照片。

flash、NOR flash、PSRAM、SDRAM、DDR SDRAM) 與常用 I/O 週邊 (包含：UART、LED、Switch、Button、七段顯示器)，並預留了 DIP 腳位，以便外接排線、擴充週邊或連接量測儀器。另外，依圖 3 的概念，我們在子板上放置 1 顆 FPGA，除與母板 FPGA 相連接外，並與子板上所有週邊相連接，以便實現各式各樣的匯流排架構與矽智財電路或硬體加速器。子板上另有 1 顆 CPLD 可儲存子卡資訊並傳遞給母板的 CPLD。子板亦有獨立電源、重置訊號與時脈，即使不連接母板，亦可單獨測試與使用。圖 5 (a) 是多功能子板的示意圖。相同的設計概念，圖 5 (b) 是處理器子板的示意圖。

根據上述架構，我們實際製作了電路板。圖 6 是 Concord 母板的實體照片，長為 40 公分，寬為 26 公分，母板上 FPGA 採用的型號是 XC3S5000-FG1156。圖 7 (a) 則是 Concord 多功能子板照片，長為 16.2 公

分，寬為 10 公分，子板上 FPGA 採用的型號是 XC3S4000-FPG900。圖 7 (b) 則是 Concord 處理器子板照片，長為 16.2 公分，寬為 23 公分，子板上 FPGA 採用 XC3S5000-FG11560。

應用

以下我們使用三種不同的單晶片系統來說明 Concord 驗證平台的可行性^[2, 3]。

以 OpenRISC 為處理器，Wishbone 為匯流排的系統

圖 8 為以 OpenRISC 為處理器之系統驗證範例，圖 8 (a) 為系統方塊圖；圖 8 (b) 為實際 Concord 系統照片。我們藉由母板上的 3 顆 FPGA 來實現 Wishbone 匯流排架構，並用三塊子板分別實現：(1) CPU/Debug 控制電路；(2) SRAM 控制器電路；(3) UART 控制電路。

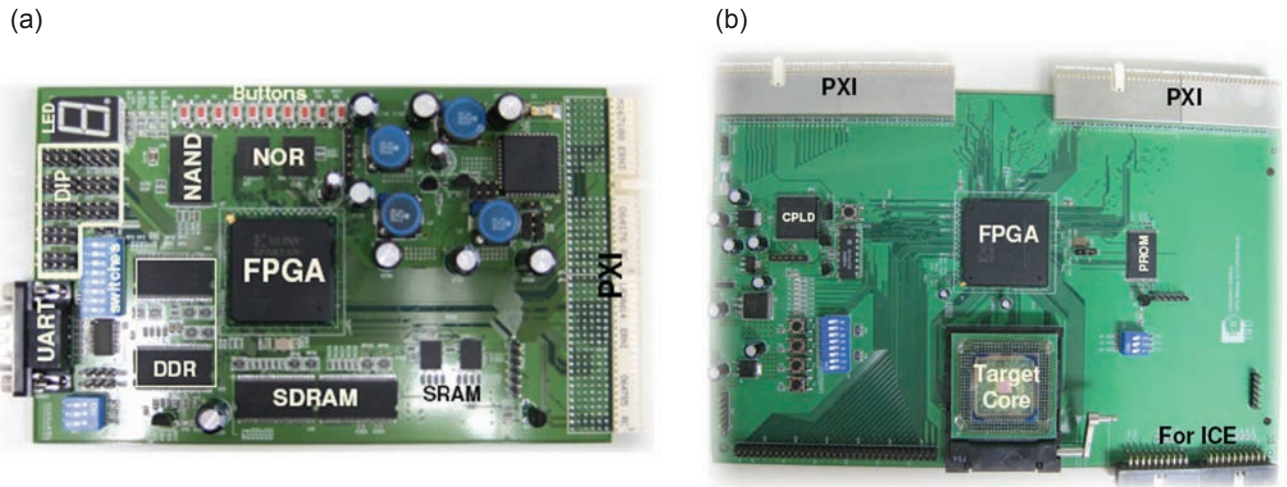


圖7 Concord子板照片 (a) 多功能子板照片；(b) 處理器子板照片

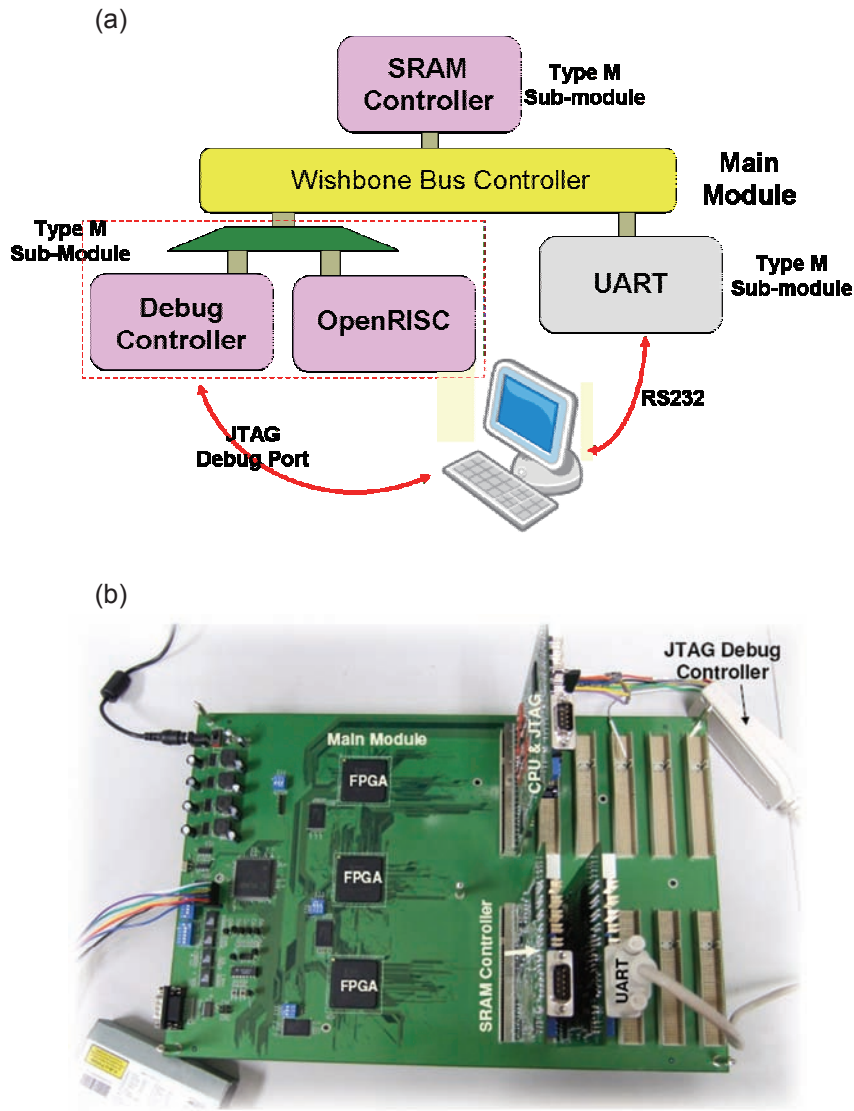


圖8 OpenRISC系統 (a) 系統方塊圖；(b) 實際系統照片。

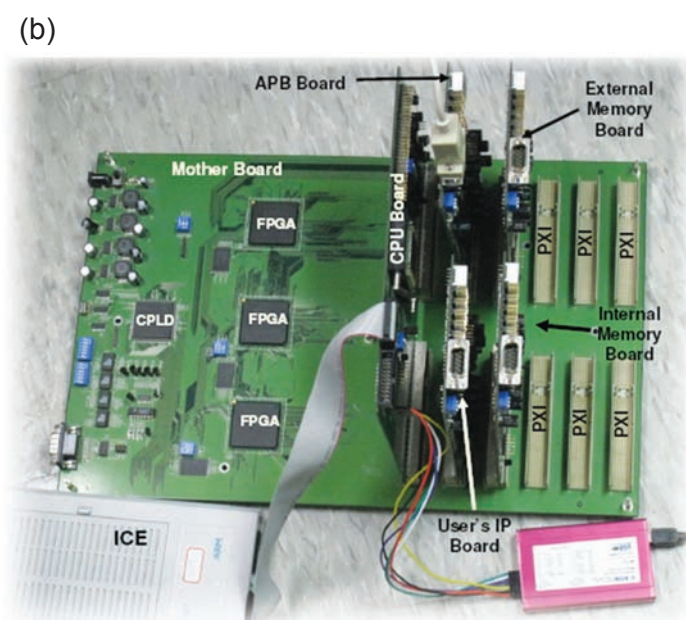
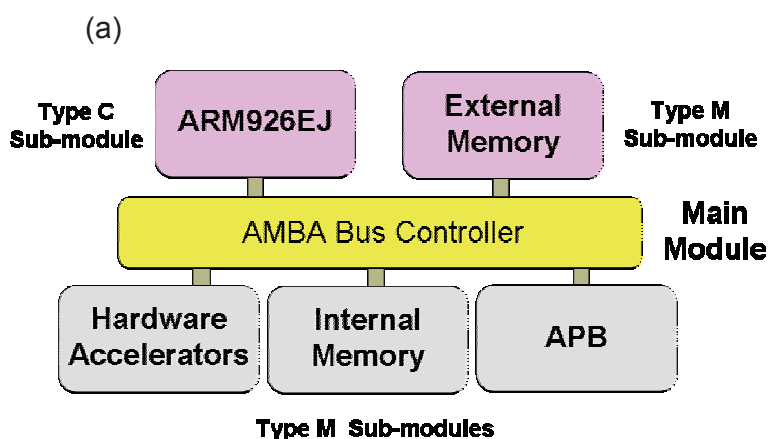


圖 9 ARM 系統 (a) 系統方塊圖；(b) 實際系統照片。

以 ARM926EJ 為處理器，AMBA2.0 為匯流排的系統

圖 9 為以 ARM 為處理器之系統驗證範例，圖 9 (a) 為系統方塊圖；圖 9 (b) 為實際 Concord 系統照片。此系統使用 ARM AMBA2.0 匯流排標準為系統匯流排。AHB 匯流排上的主要裝置包含 ARM926EJ 處理器、SRAM、VGA Controller、NOR Flash Controller 以及 SDRAM Controller。APB 匯流排上的主要裝置則包含 GPIO、UART Controller、Watch Dog Timer、Puse/

Reamp Controller、Timer 以及 Interrupt Controller，並利用 APB Bridge 將 AHB 訊號轉換成 APB 訊號。

以 LEON3 (SPARC V8 compatible) [1] 為處理器，AMBA2.0 為匯流排的系統

圖 10 為以 LEON3 處理器之系統驗證範例，圖 10 (a) 為系統方塊圖；圖 10 (b) 為實際 Concord 系統照片。我們使用 5 種不同功能的子板來實現系統上的處理器及相關週邊設計。

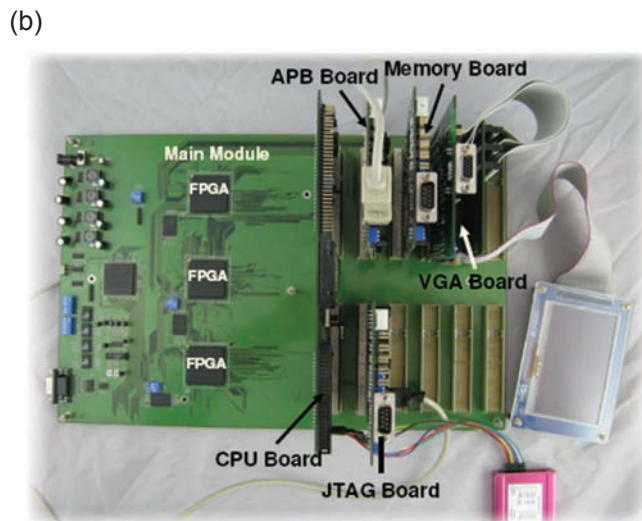
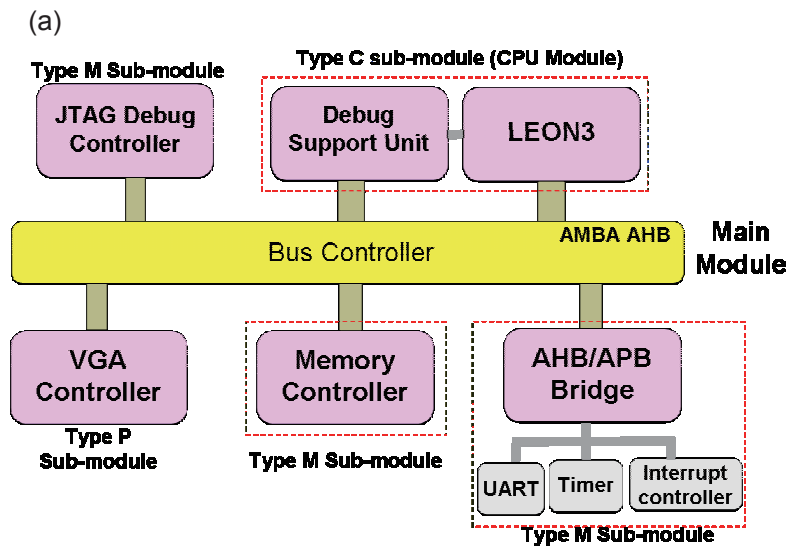


圖10 LEON3系統 (a) 系統方塊圖；(b) 實際系統照片。

結論

透過在 Concord 平台上成功的完成三個單晶片系統的驗證（OpenRISC 系統、ARM 系統及 LEON3 系統），證明了可模組化系統單晶片雛型驗證平台的可行性。Concord 平台雖然能迅速針對不同使用者提供客製化驗證平台，以達成邏輯與功能之驗證目標，但受限於架構限制，無法達到部份應用即時（real-time）之需求。因此，我們已藉由更規則的架構與母板的堆疊技術完成了第二代的 Concord 平台（Concord II）

的設計與製造，以提供使用者更彈性、更高效能的系統驗證平台。

參考資料

- [1] "Gaister Research", <http://www.gaisler.com>
- [2] C-M Huang, C-M Wu, C-C Yang, S-L Chen, C-L Wey, "Implementation and Prototyping of a Complex Multi-Project System-on-a-Chip," in IEEE Proc. ISCAS, pp. 2321 – 2324, 2009.
- [3] C-M Huang, C-M Wu, C-C Yang, S-L Chen, C-L Wey, "CONCORD: A Fully Configurable SoC Prototyping Verification Platform," submitted to IEEE Trans. Industrial Electronics

多計畫系統單晶片之設計方法

文/圖 吳建明、楊智喬、陳世綸、黃俊銘 國家晶片系統設計中心

摘要

本文中，我們提出一多計畫系統單晶片（Multi-Project System-on-Chip，簡稱 MP-SoC）設計方法，藉由平台共享的概念，將多個異質的系統晶片（System-on-Chip，簡稱 SoC）設計整合進單一晶片，藉此達成大幅降低 SoC 晶片製造成本的目的。配合著我們所提出的設計流程其包含虛擬雛型創建、邏輯層、快速雛型創建、實體層及測試驗證，我們開發了一個創新 MP-SoC 設計流程來實現 MP-SoC 的概念。為了提高學校設計的 IP 模組驗證速度，我們發展了一個虛擬雛型驗證平台，為了在晶片下線前進行快速雛型驗證，我們發展了一個全模組化且可任意配置的快速雛型驗證平台 Concord，為了進一步確認 MP-SoC 的效能及可行性，我們整合了7所大學的 12 個 SoC 計畫至一顆名為 MP-SoC-II 的晶片中，實驗結果發現，採用 MP-SoC 概念所實現的晶片，比個別實現這些 SoC 設計的晶片省約 70.66% 晶片面積。

簡介

近年來，隨著半導體製程技術及電子自動化（EDA）軟體的高速發展，系統單晶片的實現已不再是個遙不可及的夢想；SoC 是將一個複雜的

系統整合至一顆單晶上，比傳統電路版 PCB 層次設計擁有較低功率、低成本、高速度及高穩定度等優點。在目前的 SoC 設計方法中，以平台式的 SoC 設計方法最廣泛地使用；所謂的平台是指將各種事先定義及驗證好的軟、硬體矽智產（IP）模組、電子設計自動化軟體、軟體工具及設計方法所組成的 IP 資料庫與骨架環境，透過事先定義及驗證好的平台來設計 SoC，如此可加速 SoC 產品的開發、整合及驗證。

雖然平台式 SoC 設計方法非常適合學術界的 SoC 相關研究，但是一般 SoC 晶片下線需要高額的成本，常使得學校無法進行真正的 SoC 晶片驗證。台灣的國研院晶片中心、法國的 CMP^[1]及韓國的 IDEC^[2] 等研究單位目前提供學術界多計畫晶片（Multi-Project Chip，以下簡稱 MPC）服務，MPC 技術是藉由合併多個不同計畫的晶片到單一光罩上，透過共享光罩的概念可有效的降低光罩及晶片製造的成本。然而一個 SoC 晶片中，加速器模組通常只佔極小的面積，而系統平台佔其大部份的面積，意即每一個 SoC 晶片的製造成本中，有大部份是用在已經重複驗證多次的系統平台元件上（例如嵌入式處理器、晶片匯流排架構、記憶體及週邊裝

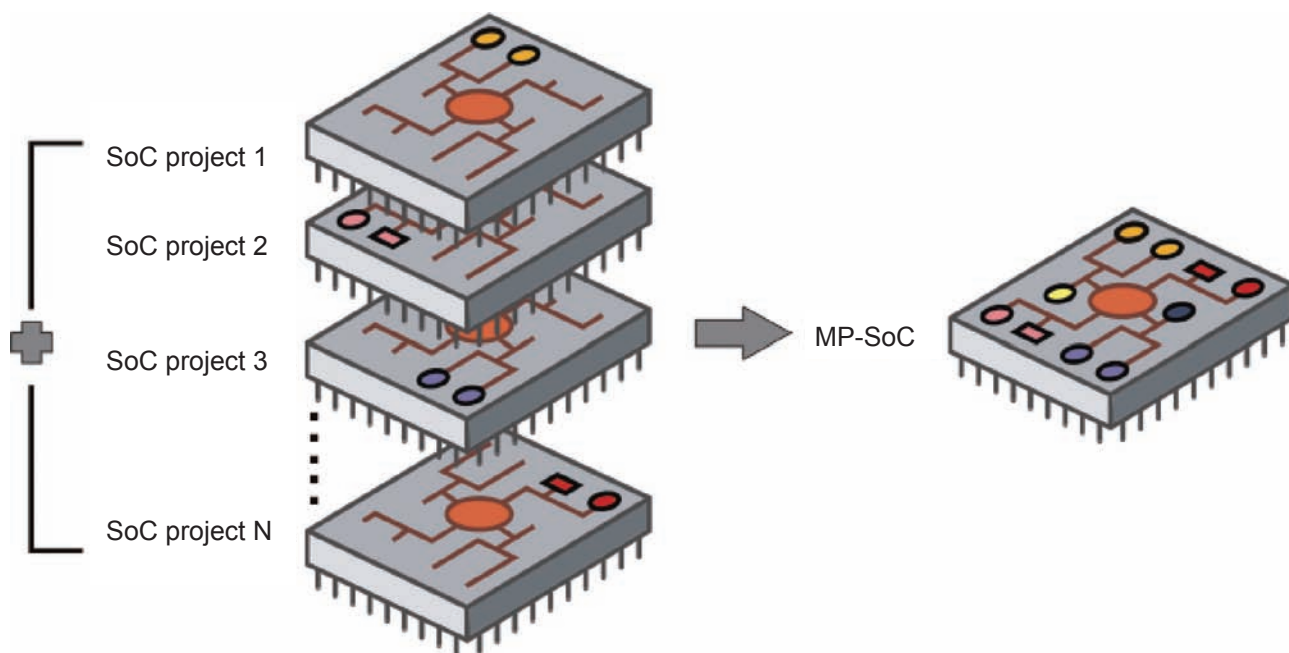


圖 1 MP-SoC 概念示意圖。

置)，而非自行設計的加速器模組上，在有限的晶圓資源下，這些 SoC 設計常常無法被晶片審查委員所接受，造成學術界的教授和學生很難有真正使用晶片作 SoC 晶片設計及驗證的機會。這兩個因素導致國內學術界 SoC 團隊無法實際製造驗證 SoC 晶片。事實上，同樣的問題對國外學術界團隊甚至業界而言也都是一個無法解決的難題。

基於協助國內 SoC 團隊將其研究成果有機會實作成晶片，國家晶片系統設計中心提供了一個創新的多計畫系統單晶片^[3-7]（Multi-Project System-on-Chip，簡稱 MP-SoC），如圖1所示，藉由共用 SoC 平台的機制將多個 SoC 計畫整合進單一晶片中，大幅降低每個 SoC 晶片製造的成本，同時也提高了每個 SoC 晶片驗證的可

靠度，可讓更多的學術單位來實現 SoC 晶片。先前本中心採用 MP-SoC 的設計概念，成功的整合4所大學的8個 SoC 計畫至一顆名為 MP-SoC-I 的晶片中，節省約 1 千萬的製作成本，此 MP-SoC 概念除解決學術界 SoC 晶片無法實作的困難，也獲美國及台灣專利^[6-7]。

為了避免使用晶片來驗證 SoC 設計，虛擬雛型驗證和快速雛型驗證是目前兩種常被用來驗證 SoC 設計的方法。為了提升 MP-SoC 系統整合與各校 IP 整合進入 MP-SoC 之後的效能，CIC 根據系統的需求規劃了一個高效能的虛擬雛型驗證平台來。另外，一般晶片在下線製作前，為了降低風險、提高成功率，通常會使用 FPGA（Field Programmable Gate Array）進行快速雛型驗證，但是對於 SoC 等級的晶片而言，

由於包含了嵌入式處理器、嵌入式記憶體以及高複雜度的電路架構，即使運用最高等級的 FPGA 元件，通常也無法進行完整的 SoC 快速雛型驗證，因此一般業界大都會使用諸如：ARM RealView Versatile 之類的 SoC 驗證平台來進行 SoC 快速雛型驗證，然而現有的 SoC 驗證平台除了單價高昂外，擴充性一般都相當的不足，對 MP-SoC 這類包含多個嵌入式處理器以及多個硬體加速器的複雜系統晶片而言，現有 SoC 平台並無法提供全系統快速雛型驗證功能，我們基於以上觀察，開發一系統單晶片雛型驗證平台（Concord）解決快速雛型驗證的問題。

系統平台與設計流程

圖 2 為 MP-SoC-II 系統架構，其中彩色方塊的部份為學校所提供之 SoC 計畫（IP 模組），

除了學校 IP 模組之外，其他的組件諸如處理器、匯流排架構、周邊等皆由國研院晶片中心所提供，因此各個學校只要專注在 IP 模組設計即可。MP-SoC-II 使用 ARM AMBA2.0 匯流排標準為系統匯流排，以 AHB 匯流排連結高效能的系統裝置，APB 匯流排則用來連結低速傳輸之周邊系統裝置。AHB 匯流排上的主要裝置包含 ARM926EJ 處理器、內部記憶體、TIC 模組以及各個學校所設計的 IP 模組；APB 匯流排上的主要裝置則包含計數器、中斷控制器、Remap 控制器、暫停控制器、UART、GPIO。MP-SoC-II 與晶片外部的溝通介面則包括外部記憶體介面、除錯介面、中斷訊號、UART、GPIO 及其他控制用的訊號。另外，在外部記憶體的支援方面，MP-SoC-II 可使用兩種記憶體配置，第一種是快閃記憶體

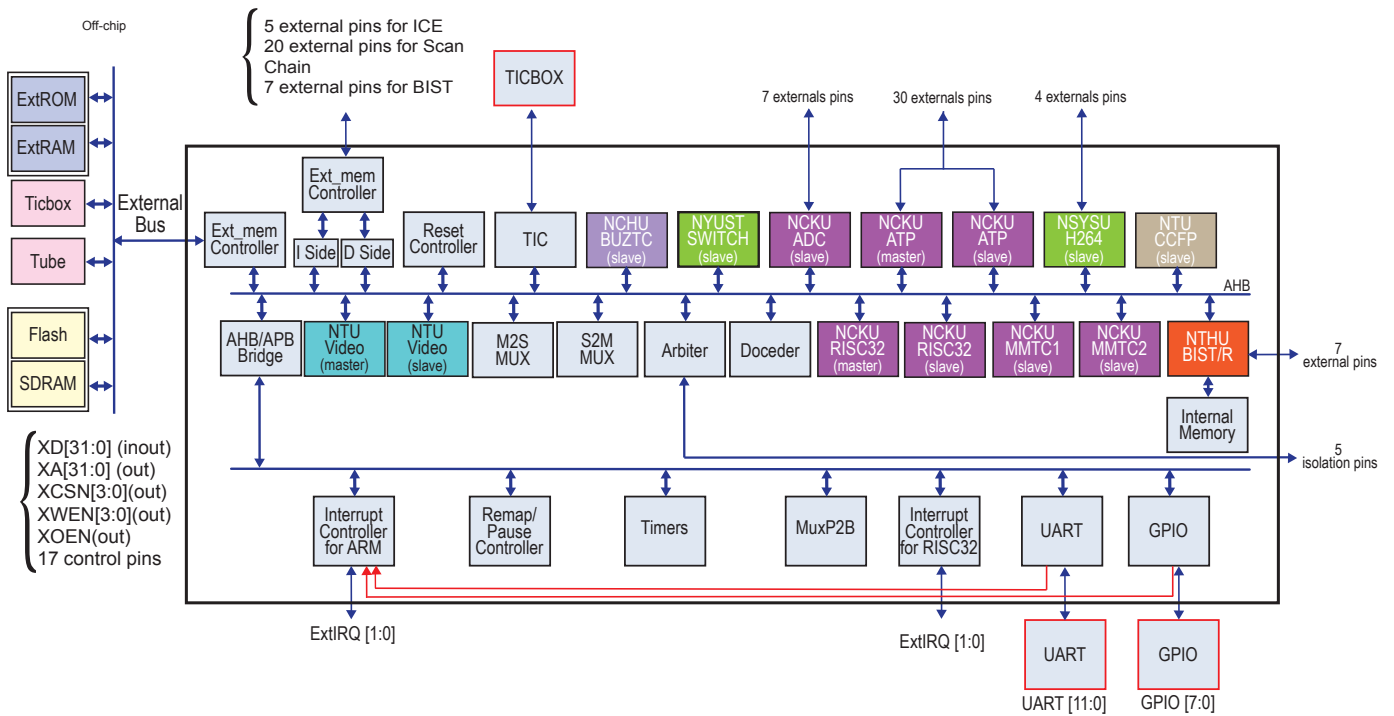


圖 2 MP-SoC-II 系統架構。

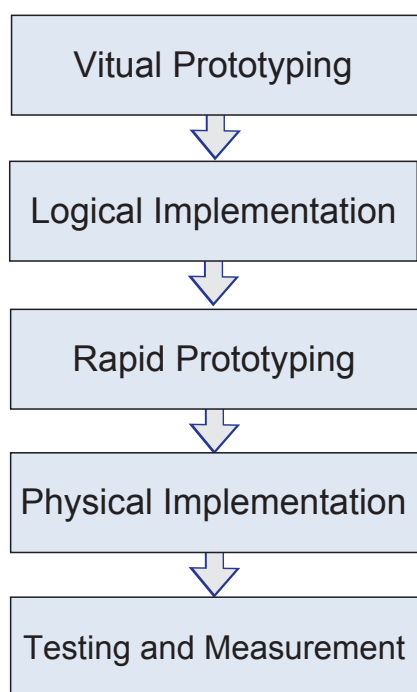


圖3 MP-SoC 設計流程。

和 SDRAM，另一種為 ROM 和 SRAM，使用者可依照需求選取適合的記憶體來使用。

由於 MP-SoC 將多個 SoC 計畫（多個 IP 模組）整合進一單晶片中，再加上系統同時包含了軟體與硬體，設計者在設計與驗證上較一般 SoC 設計更為困難，因此國研院晶片中心充份利用電子設計自動化軟體工具，建置出一套完整 MP-SoC 設計流程與驗證環境，讓設計者可以快速且便利地將軟體與硬體加入、移除、修改與驗證。如圖 3 所示，此設計流程包含系統虛擬雛型驗證、邏輯層實現、快速雛型驗證，實體層次實現及量測流程；在此五步驟流程開始前，參與此計畫的研究團隊必須與國研院晶片中心共同開發系統架構並建立測試規劃，並詳細且清楚地定義系統上的硬體元件及介面；隨後，國研院晶片中心立即開發出一個 MP-SoC 系統晶片所需的設計實現平台與驗證環境，並同時規範出系統與 IP 模

組的所需遵循的規格，這些規範與規格都會詳細序述於的 IP 模組設計參考手冊；在各個研究團隊完成各自的 IP 模組驗證後，國研院晶片中心整合團隊 IP 至 MP-SoC 系統平台驗證，隨後並完成整個 MP-SoC 系統晶片的實體實現，最終以 TSMC 製程實現 MP-SoC 晶片。

虛擬雛型驗證平台及快速雛型驗證平台

為了提升系統整合效率，國研院晶片中心根據系統需求設計了一個高效能的虛擬雛型驗證平台，此虛擬平台主要目的是為了提高學校 IP 模組的驗證速度。此平台是利用 Platform Architect 軟體開發出來；使用 ESL 工具時，系統設計人員可在設計流程的早期階段，便可測試驗證各種系統架構設計（包含軟硬體整合）的優缺點，以避免傳統的設計流程中，到了最後階段軟硬體整合時才發現系統效能不佳所產生的重大代價，圖 4 為 MP-SoC 虛擬平台。

而為有效驗證一個以 AMBA 為規範的介面設計，國研院晶片中心也建立一個 AMBA VIP System（如圖 5），透過此 AMBA VIP System，設計者可以有效率既快速地驗證 IP 介面是否符合 AMBA 協定。。

另外，為了解決市售平台無法驗證複雜 SoC 設計的問題，我們提出一種模組化系統單晶片雛型驗證平台（Concord），透過此平台可以讓單一個快速雛型驗證平台可變換驗證不同的匯流排架構。同時也可以讓使用者自由的更換及增/減驗證平台上的矽智財數量與種類。圖六為平台示意圖，圖 7 為實體圖，我們使用 motherboard 上的 3 顆

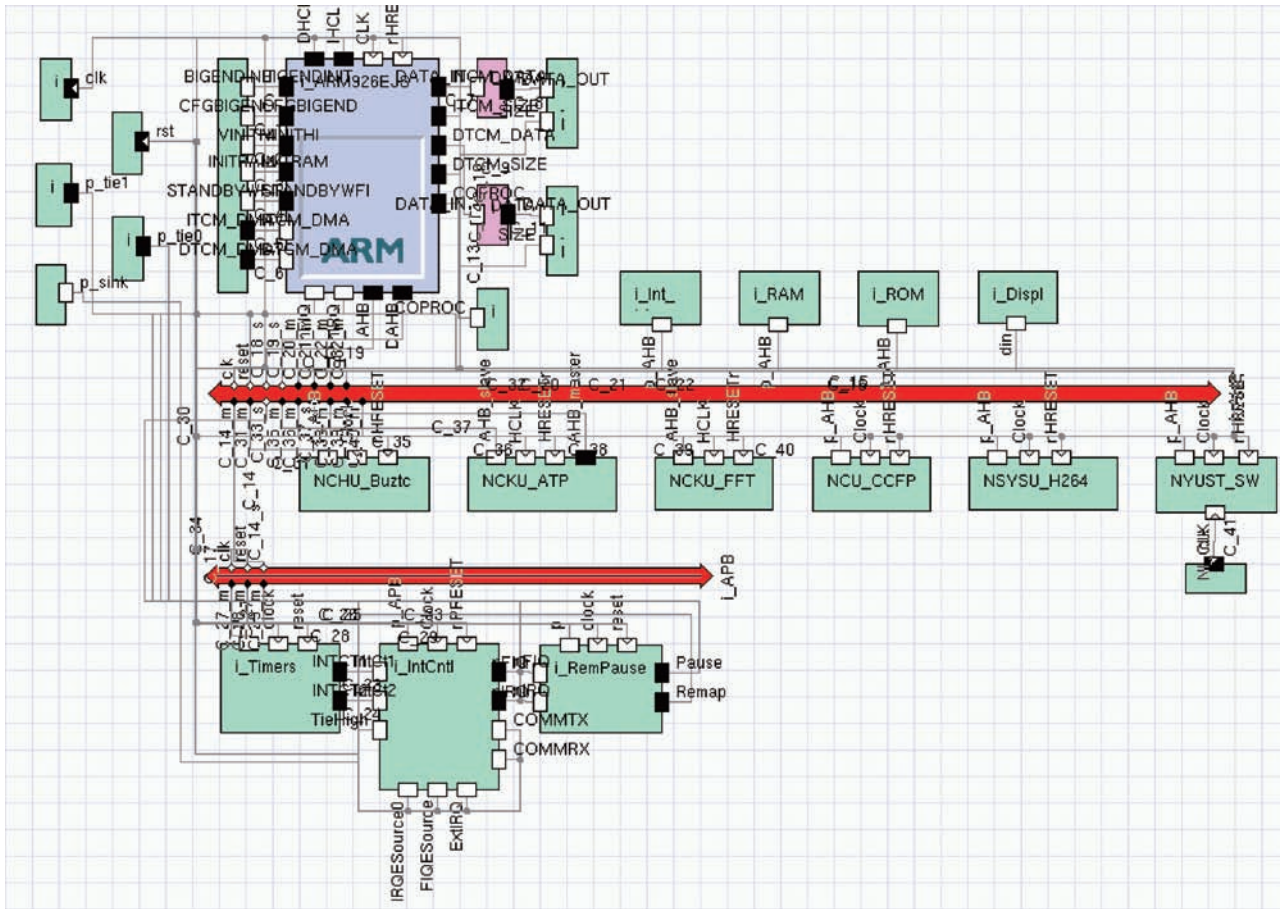


圖 4 MP-SoC 虛擬雜型驗證平台。

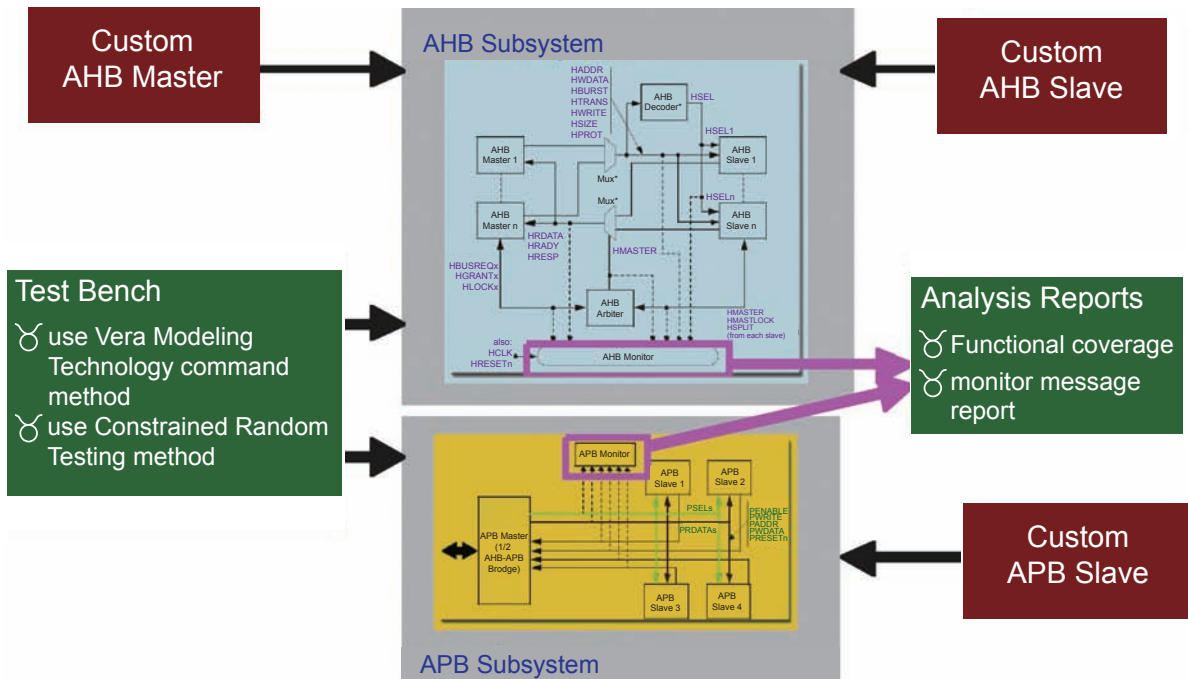


圖 5 CIC AMBA VIP System。

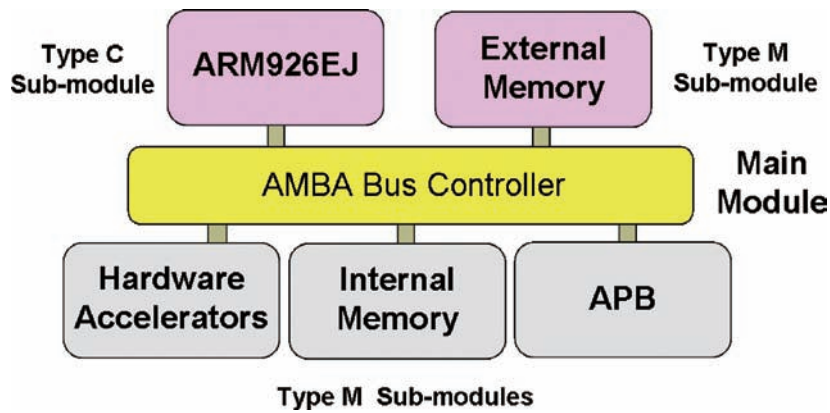


圖 6 MP-SoC 快速雛型驗證平台示意圖。

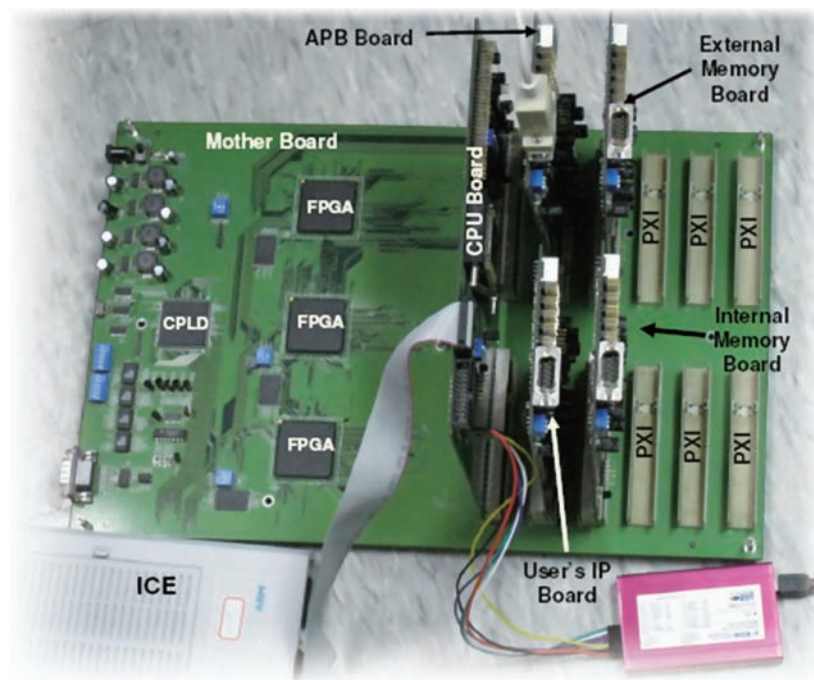


圖 7 MP-SoC 利用 Concord 平台實體驗證圖。

FPGA 來實現 AMBA 匯流排架構，學校的 IP 模組、APB 與記憶體則透過不同子板實現，此驗證系統中包含一 ARM926EJ 處理器子板、一個學校 IP 模組子板，一個 APB 子板、一記憶體子板與一連接電腦之 ICE 模組；MP-SoC 中各學校的 IP 模組經過 Concord 快速雛型驗證平台驗證後，可確保下線的穩定性。

晶片結果與測試

MP-SoC-II 晶片使用 TSMC 0.13 μm 邏輯製程，圖 8 為 MP-SoC 的晶片照片。晶片的核心面積為 $4000 \times 6600 \mu\text{m}^2$ ，若包含輸入輸出腳，面積則是 $4998 \times 7598 \mu\text{m}^2$ ，晶片腳位共有 485 個，在最差的工作條件下工作頻率是 80MHz。從圖 8 可以看出，ARM926EJ 處理器佔了晶片中相當大的面積，若將 7 所大學的

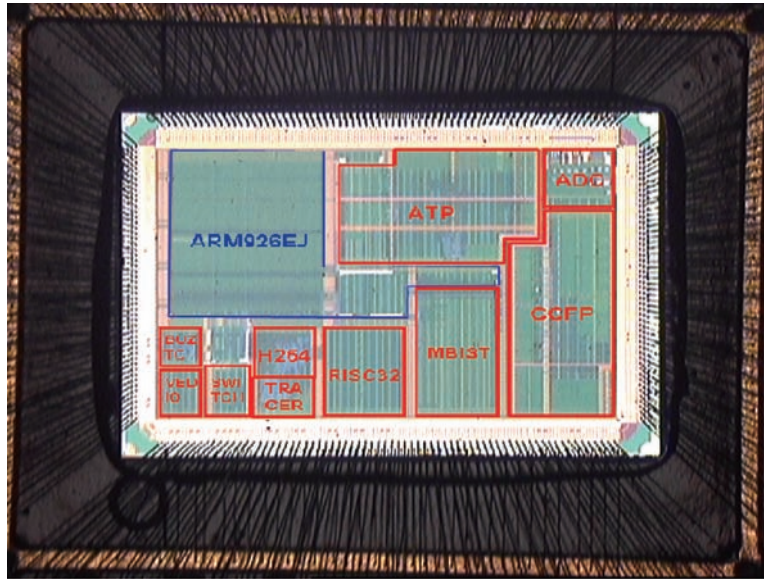


圖 8 MP-SoC 晶片照片。

12 個 SoC 計畫各自以 TSMC 0.13 μm 製程進行製造，共需 129.39 μm^2 的晶片面積，若利用本文所提出之 MP-SoC 概念來實現，只需要 37.97 μm^2 的面積，共可節省 70.66% 的晶片面積。

結論

在這篇文章中，我們介紹了 MP-SoC 的設計流程，使多個系統單晶片可以實現於一個單晶片上，並藉由平台共享的原理來減少硬體資源及降低晶片實現成本。我們也介紹了設計 MP-SoC 時所需的虛擬雛型驗證、邏輯層實現、快速雛型驗證，實體層次實現及量測設計流程。另外，為了顯示這個設計概念的效能，我們實際整合來自 7 所大學 12 個系統單晶片模組實現出 MP-SoC-II 晶片，根據實驗結果得知，此設計概念可以節省 70.66% 的晶片面積。總結而言，MP-SoC 是個相當適合於學術界研究的設計概

念，也使得國研院晶片中心在有限資源下，能提供出更多的 SoC 晶片服務。

參考資料

- [1] "CMP website," <http://cmp.imag.fr>
- [2] "IDEC website," <http://idec.kaist.ac.kr>
- [3] C-M Huang, C-M Wu, C-C Yang, S-L Chen, C-L Wey, "Implementation and Prototyping of a Complex Multi-Project System-on-a-Chip," in IEEE Proc. ISCAS, pp. 2321 – 2324, 2009.
- [4] K.-J. Lee, C.-M. Huang, C.-C. Yang, C.-M. Wu, and J.-Y. Jou, "A Case Study of the Novel Low-Cost SoC Silicon Prototyping Service for Taiwan Academia," Innovations 2007.
- [5] C.-M. Huang, C.-M. Wu, C.-C. Yang, and C.L. Wey, "Programmable System-on-Chip (SoC) for Silicon Prototyping," accepted by IEEE Trans. Industrial Electronics, 2010
- [6] "A Multi-Project System-on-Chip and Its Method," 美國專利：US 7,571,414B2
- [7] 「多計畫系統單晶片原型化用之平台及其設計方法」，中華民國專利：I306211

MorPack 三維異質整合系統平台

文/圖 楊智喬、吳建明、黃俊銘 國家晶片系統設計中心

摘要

本文介紹晶片中心提出的三維異質整合系統平台—MorPack (Morphing Package)。MorPack 系統平台是使用封裝整合技術及平台式 (Platform-based) 系統設計概念，配合 MorPack 系統設計流程，所開發出的三維異質整合系統平台。透過適當的系統分割方法及使用 Tri-state 介面來進行各基板晶粒 (Bare die) 訊號連接，使 MorPack 系統擁有極佳的系統周邊擴充性及能依使用者需求以極低成本進行晶粒更新的彈性；使用封裝整合技術及三維的推疊架構，亦使 MorPack 系統具異質晶片整合能力及具微小化特性。配合我們所提出的 MorPack 系統設計流程，包含系統層級架構設計、邏輯層級設計、雛型驗證、實體設計、晶粒量測及驗證、及晶粒/基板組裝等，晶片中心已完成 MorPack 系統模組的設計和製作。由目前 MorPack 系統模組的實作結果得知，此系統模組功能正常，證明此三維異質整合系統平台的可行性。所開發的 MorPack 系統平台未來可提供學術界進行異質整合系統之軟硬體相關研究。本文章的內容包含簡介、MorPack 平台介紹、MorPack 系統設計流程、實作結果，及結論。

簡介

平台式的系統晶片設計概念是目前廣泛被用來設計系統晶片的方法^[1]，晶片中心先前提提供了一個創新的多計畫系統單晶片^[2] (Multi-Project System-on-Chip，簡稱 MP-SoC) 服務，可藉由平台式的系統晶片設計概念及共用 SoC 平台的機制將多個 SoC 計畫整合進單一晶片中，大幅降低每個 SoC 晶片製造成本，可讓更多學術單位來實現 SoC 晶片。雖 MP-SoC 概念之成效良好，但因 MP-SoC 設計方式所需的晶片下線經費仍然不少且動用之設計人力龐大，除此之外，MP-SoC 設計不容易達到異質晶片整合目的。

為解決及改善 MP-SoC 缺點，晶片中心目前透過封裝整合技術及平台式系統晶片的設計概念，配合 MorPack 系統設計流程，提出一個三維異質整合系統平台 (Morphing Package，簡稱 MorPack 平台)。使用封裝整合技術，MorPack 平台具高效能及異質整合能力；透過所提出的三維封裝疊構，MorPack 平台具微小化特性；透過適當的系統分割方法及使用 Tri-state 介面來進行各基板晶粒訊號連接，使 MorPack 系統擁有極佳的系統周邊擴充性，

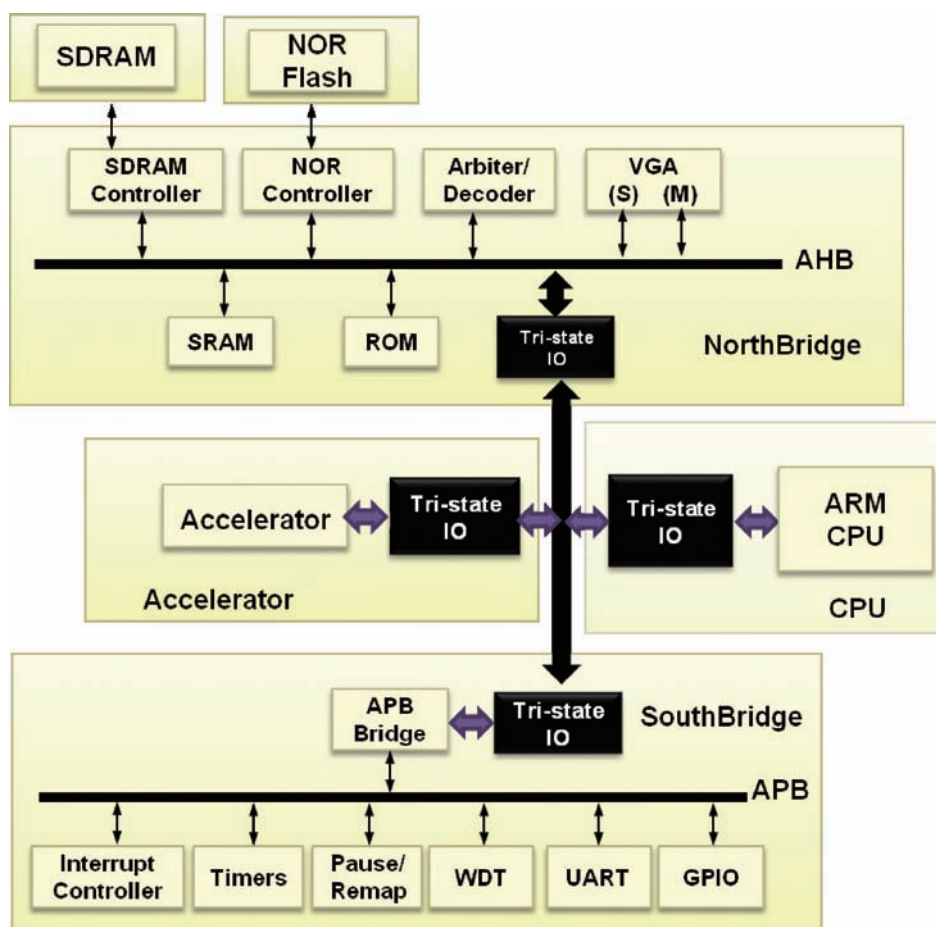


圖 1 MorPack 系統平台之邏輯架構。

及能依使用者需求以極低成本進行晶粒更新的彈性。學術界師生可專注於開發自己的加速器晶粒設計，並透過封裝整合技術，將所開發的加速器晶粒設計整合至 MorPack 共用平台（Common platform），快速的完成完整的系統單晶片模組^[3]。所提出的三維異質整合系統平台可解決與改善 MP-SoC 的缺點，也解決了學術界系統晶片團隊無法實際製造驗證系統晶片的困境。

MorPack 平台介紹

圖 1 為 MorPack 系統平台之邏輯架構，MorPack 系統目前由六種不同功能的晶粒所

組成，每個晶粒（SDRAM 及 NOR Flash 除外）透過 Tri-State AHB 界面進行連接。這六種晶粒分別為北橋（Northbridge，使用 TSMC 0.13 μ m 製程）、南橋（Southbridge，使用 TSMC 0.13 μ m 製程）、處理器（CPU，使用 TSMC 0.13 μ m 製程）、加速器 IP（可使用適合的半導體製程）、SDRAM（使用 WINBOND DRAM 製程）、NOR Flash（使用 MACRONIX NOR Flash 製程）。以下簡單介紹 MorPack 系統所使用的各晶粒功能。北橋晶粒由一些高速的周邊控制電路及記憶體所組成，包含有 AHB 匯流排之仲裁器與解碼器電路、SDRAM 控制器、NOR-Flash 控制器、

VGA 控制器、以及 SRAM 與 ROM 記憶體。由於 AHB 匯流排的仲裁器與解碼器皆位於北橋晶粒中，MorPack 系統所能擴充的 Master 與 Slave IP 數量是由北橋晶片決定；南橋晶粒由一些基本的慢速周邊控制電路所組成，其中包含了 APB 匯流排架構（APB bridge）、Interrupt 控制器、Timers、Pause/Remap、Watch Dog Timer、UART 與 GPIO；處理器晶粒實現 ARM926EJ_1616 處理器核心，ARM926EJ_1616 具有 16Kbytes Instruction Cache 與 16Kbytes Data Cache，並且透過兩組緊耦合記憶體介面（Tightly-Coupled Memory Interface，簡稱 TCM 介面）連接兩顆 64Kbytes SRAM 作為 Instruction TCM 與 Data TCM。此外，ARM926EJ_1616 具有兩組 AHB 匯流排介面，分別為 Instruction AHB 以及 DATA AHB，為了減少處理器晶粒的腳位數量，我們將這兩條 AHB 介面合併成單一

對外的 Tri-state AHB 介面；加速器 IP 晶粒作為平台上的硬體加速器；SDRAM 晶粒作為平台運算時的資料暫存記憶體；NOR Flash 晶粒則用來儲存開機程式及相關的應用程式資料。

圖 2 為整合六個相同/不同製程晶粒的三維異質整合系統模組示意圖，各種不同功能的晶粒分別上件於各基板（Substrate）上，每個基板再以疊構的方式進行組合，基板與基板之間使用連接基板（Connection substrate）作為間隔，確保下層基板與上層基板之間有足夠的高度擺放晶粒，各層基板的訊號腳位以錫球陣列（Ball Grid Array，簡稱 BGA）的方式連接。

圖 2 中的系統模組分為兩個部分，下面三個基板組合成為 MorPack 系統共用平台（即 Southbridge 基板、Northbridge + SDRAM + NOR 基板及 CPU 基板所組成的共用平台），

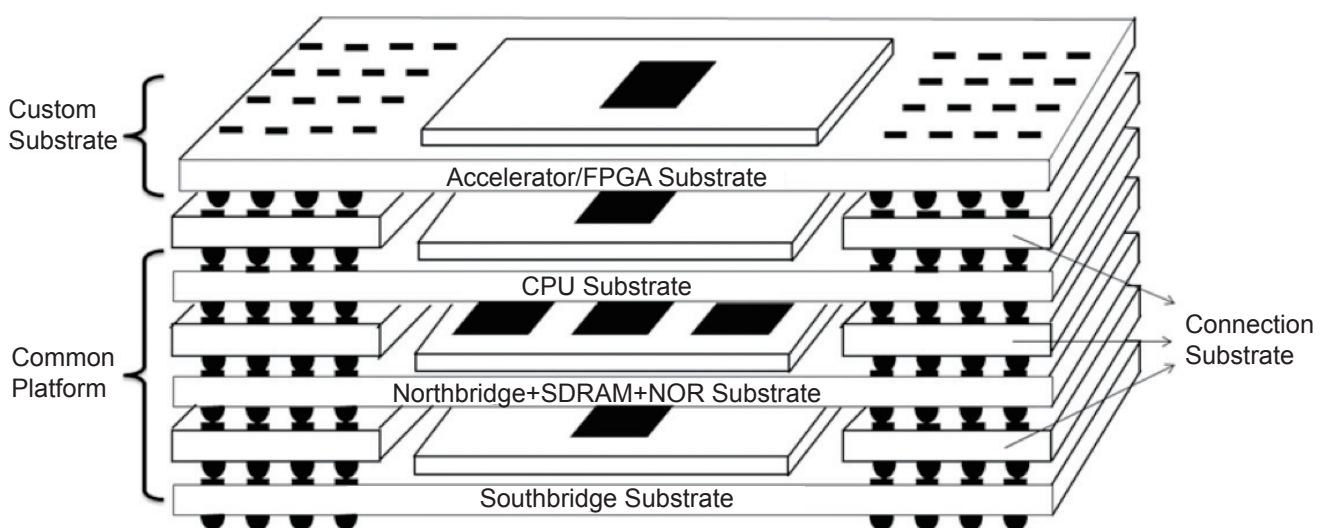


圖 2 三維異質整合系統模組示意圖。

MorPack 系統模組的最上層基板，可以置放硬體加速器 IP 晶粒或 FPGA。也就是說學術界師生自行設計的硬體加速器 IP 基板，可與事先完成設計、組裝及驗證的 MorPack 系統共用平台進行整合，來快速完成完整的三維異質整合系統模組。學校的師生只需專注於加速器 IP 基板上的晶粒設計及實現，之後將加速器 IP 基板整合進晶片中心所提供的 MorPack 系統共用平台，即可完成完整的三維異質整合系統模組。也就是說，學校師生只需下線其加速器 IP，不需要下線整個系統模組所需的晶粒，亦即可有效降低每次系統晶片模組設計及製作成本，進而增加更多下線機會。

MorPack 系統設計流程

圖 3 為目前開發 MorPack 異質系統平台過程中所使用的設計流程，其中包含有系統層級架構設計及模擬（System Architecture Design）、邏輯層級設計與實現（Logic Implementation）、雛型驗證（Rapid Prototyping）、實體設計及實現（Physical Implementation）、晶粒量測及驗證（Bare Die Measurement）、及晶粒/基板之組裝（Bare Die Assembly），最後得到 MorPack 系統模組（MorPack System Module）。

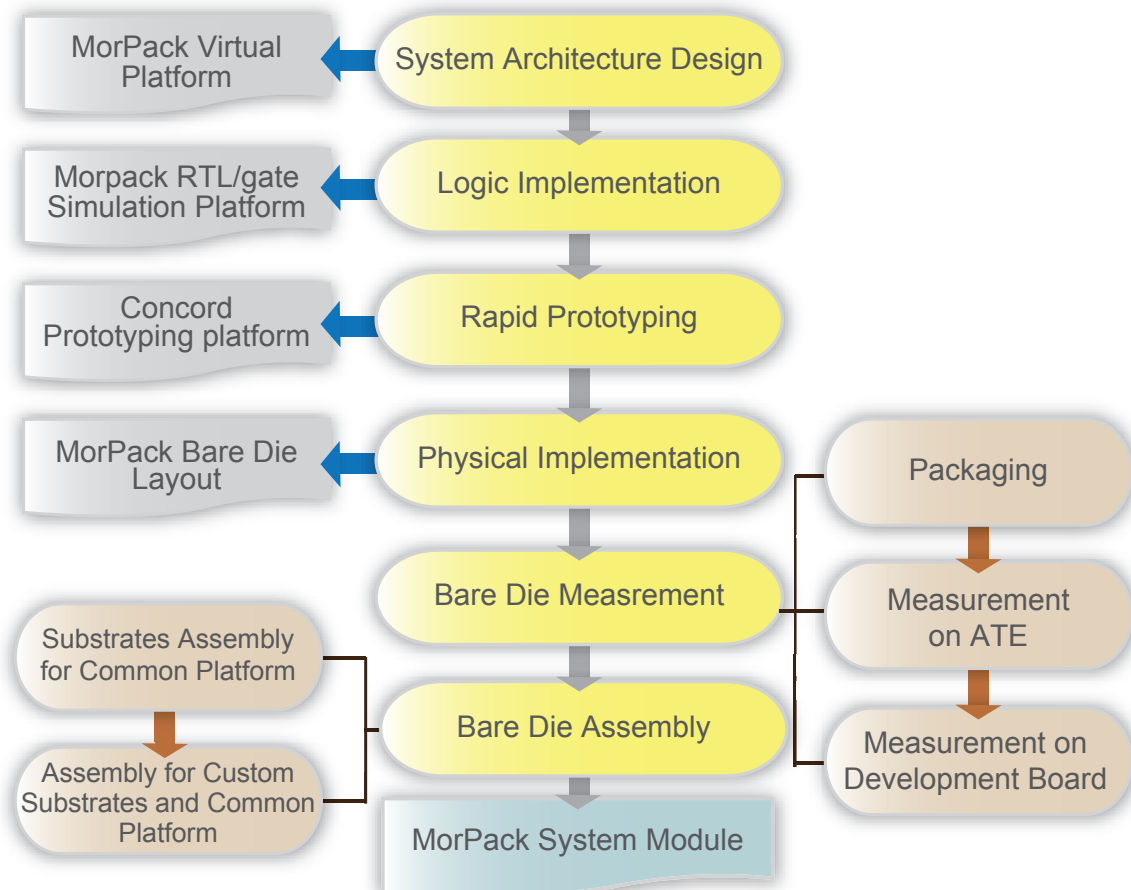


圖 3 MorPack 系統設計流程。

以下簡單說明每個設計流程：(1) 在系統層級架構設計及模擬設計流程中，晶片中心開發了一個高抽象層級的虛擬平台，此虛擬平台能讓 MorPACK 系統架構設計者透過平台上的模擬來確認所制訂的系統架構是否符合需求；也能在 MorPACK 硬體平台完成前，讓軟體設計者先進行嵌入式軟體開發（包含有 Power-On-Self-Test、Boot loader、Device driver 及 OS kernel 開發等）；(2) 在邏輯層級設計與實現設計流程中，晶片中心根據在系統層級所決定出的架構，使用硬體描述語言來進行 MorPACK 邏輯層級設計及驗證，此階段的設計流程中，還包含邏輯合成及驗證，此設計流程最後可產出 MorPack RTL/gate-level 設計及模擬平台；(3) 在雛型驗證設計流程部份，晶片中心使用自行開發的 SoC 雛型驗證平台（Concord）來進行 MorPack 各晶粒下線前的雛型驗證，使用 Concord 平台來進行驗證可保證所驗證的系統架構與未來 MorPack 晶片系統平台架構一致；(4) 在實體設計及實現設計流程中，晶片中心進行各晶粒的佈局設計及驗證，並 tape-out 至 TSMC 進行晶片製作；(5) 在晶粒量測的設流程中，我們先將各 MorPack 上的各晶粒進行封裝，然後利用晶片中心的 Verigy 93000 ATE 進行晶片量測，為了進一步確認三維異質系統模組組裝前的系統可正常工作，我們將這些通過驗證的晶片，整合在同一發展板上來確認組合後的系統可正常工作；(6) 在晶粒/基板之組裝流程中，我們將晶粒分別封裝於基板上，透過 Verilog 93000 ATE 確認各基板功能正確性後，再進行基板的堆疊組合，最後得到完整的 MorPack 三維系統模組。

實作結果

本章節簡述目前 MorPack 三維異質整合系統平台的實作結果，圖 4 為 MorPack 各基板之照片圖（未上黑膠），包含 (a) CPU 基板、(b) Northbridge + SDRAM + NOR 基板、(c) Southbridge 基板、(d) DCT 基板、(e) FPGA 基板及 (f) 連接基板。目前各基板的晶粒使用 Wire bonding 來進行封裝，完成 Wire bonding 的晶粒會再上黑膠予以保護，上黑膠除了可保護晶粒及 Bonding wire 外，亦解決了晶粒及 Bonding wire 保存的問題。

將圖 4 的各基板進行推疊組裝後，可完成如圖 5 的系統模組，包含有 (a) MorPack 共用平台之系統模組、(b) 包含有 DCT 加速器之 MorPack 系統模組及 (c) 包含有 FPGA 之 MorPack 系統模組。所實作的 MorPack 系統模組可置於圖 6 之系統載板來進行測試、偵錯及展示。由目前的初步測試結果得知，MorPack 各系統模組功能正確。

結論

提供台灣學術界晶片系統研發平台服務，一直是國研院晶片中心的重要任務之一。本文介紹晶片中心所開發的三維異質整合系統平台—MorPack。透過封裝整合技術及平台式系統設計概念，配合 MorPack 系統設計流程，國研院晶片中心目前已完成出三維 MorPack 異質整合系統平台的開發。透過適當的系統分割方法及使用 Tri-state 介面來進行各基板晶粒訊號連接，使 MorPack 系統具有極佳的系統周邊擴充性及

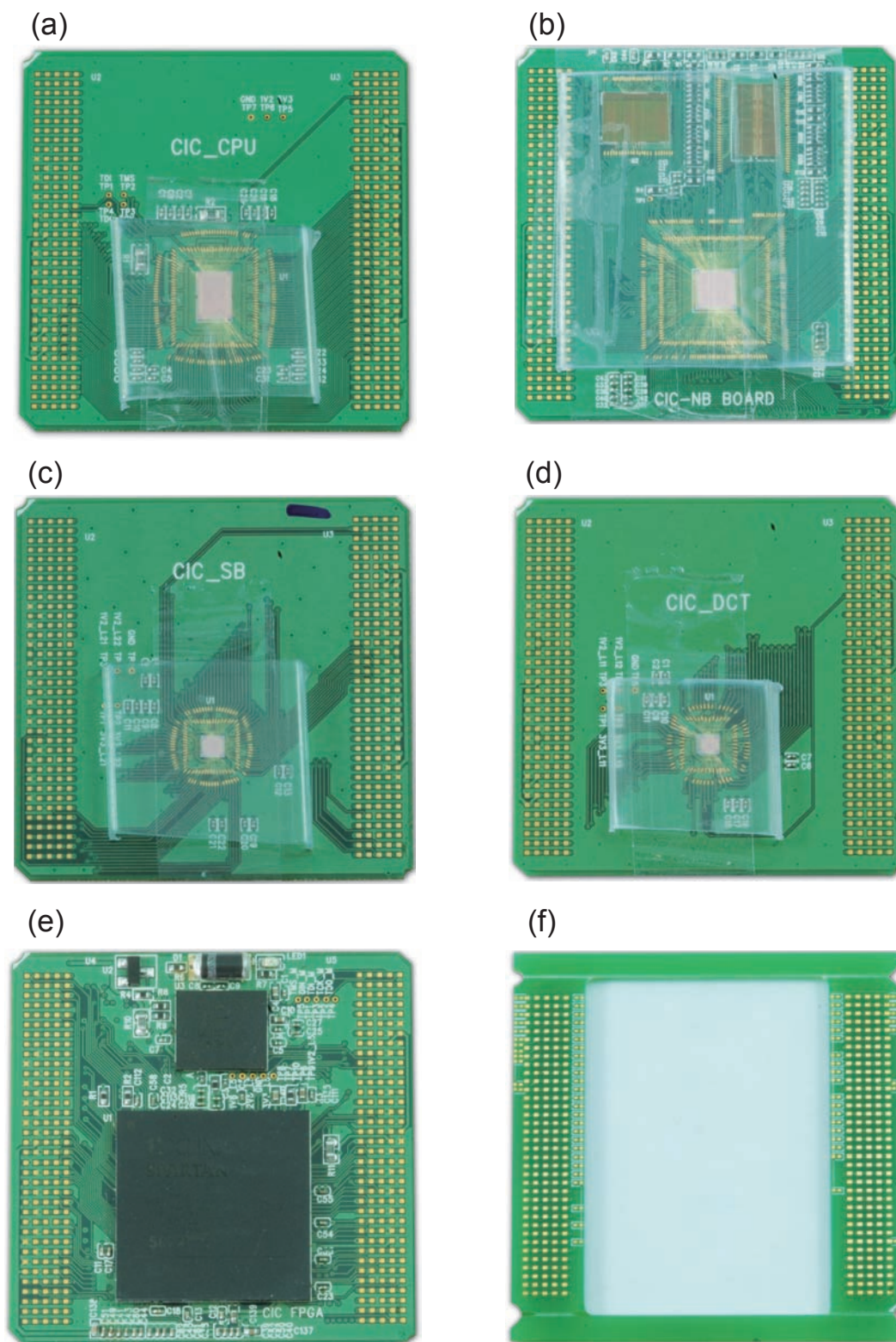


圖 4 MorPack 系統模組上所使用的基板 (a) CPU 基板；(b) Northbridge+SDRAM+ NOR 基板；(c) Southbridge 基板；(d) DCT 基板；(e) FPGA 基板及 (f) 連接基板。

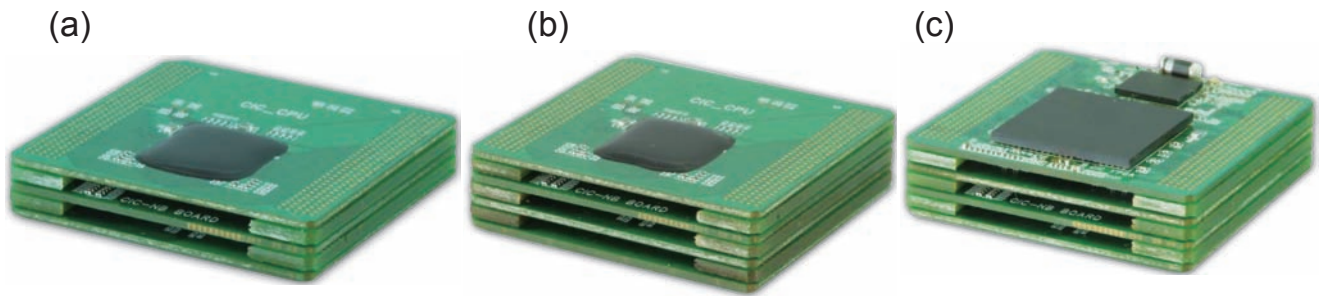


圖5 (a) MorPack 共用平台之系統模組；(b) 包含有 DCT 加速器之 MorPack 系統模組及 (c) 包含有 FPGA 之 MorPack 系統模組。

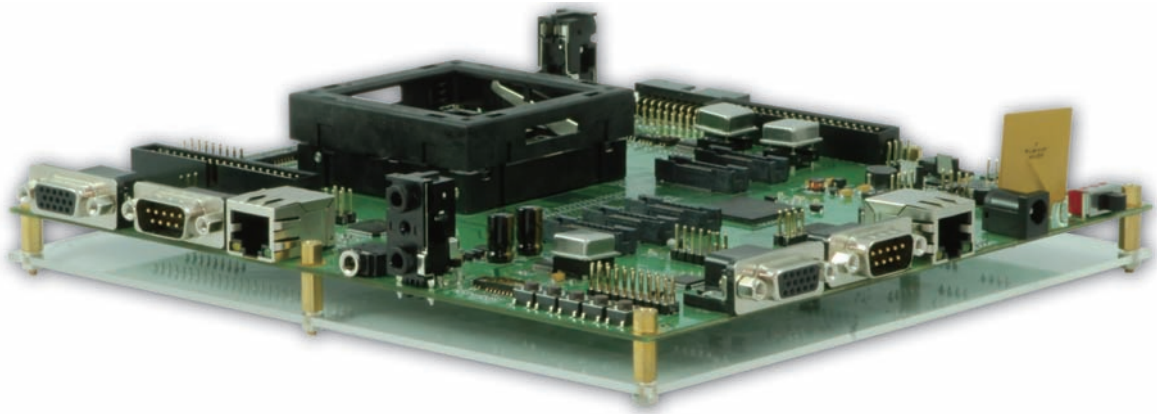


圖6 MorPack 晶片照片。

能依使用者需求以極低成本進行晶粒更新的彈性；使用封裝整合技術及三維的推疊架構，亦使 MorPack 系統具異質整合能力及具微小化特性。配合著我們所提出的 MorPack 系統相關設計流程，國研院晶片中心已完成 MorPack 系統模組的設計和製作。目前的 MorPack 系統模組實作結果顯示，所實作的系統模組功能正常，證明了此三維異質整合系統平台的可行性。未來，國研院晶片中心將提供此 MorPack 系統平台給學術界進行三維異質整合系統之軟硬體相關研究。

參考資料

- [1] W. Cesario et al., "Multiprocessor SoC Platforms : A Component-Based Design Approach," IEEE Design and Test of Computers , vol. 19 , no. 6 , Nov.-Dec. 2002 , pp. 52-63
- [2] C.-M. Huang , K.-J. Lee, C.-C. Yang , W.-H. Hu , S.-S. Wang , J.-B. Chen , L.-D. Van , C.-M. Wu , W.-C. Tsai , and J.-Y. Jou , "Multi-Project System-on Chip (MPSoC) : A Novel Test Vehicle for SoC Silicon Prototyping," Proc. of IEEE SoC Conference , pp.137-140 , 2006.
- [3] C.-M. Huang , C.-M. Wu , C.-C. Yang , W.-D. Chien and C.L. Wey , "A Package Carrier with a Custom Interface" , US patent : US 7,755,177 B2

尖端科技

State-of-the-art Science
and Technology

一種混合感測器/記憶體/互補式金氧半場效電晶體技術的奈米線生醫感測器

文/圖 陳旻政、林家毅、陳豪育 國家奈米元件實驗室

摘要

目前奈米製程技術已廣泛應用於生醫感測器的製造，尤其是矽奈米線生醫感測器具有微小化、與半導體製程整合的優越性，已成為未來醫療監控與生醫技術的一項重要研究方向。如何將生物感測、訊號處理及資料儲存同時整合於單一晶片上，將成為可攜式智慧型生醫感測器最重要的議題之一。國家奈米元件實驗室在現有的互補式金氧半（CMOS）元件製程技術平台上，成功開發出奈米線生醫感測器，與非揮發性氮化矽電荷儲存記憶體元件。本文將分別針對奈米線生醫感測器的靈敏度與奈米線記憶體元件的電荷儲存能力做進一步的探討與研究。藉由互補式金氧半場效電晶體、生醫感測器與記憶體元件製程整合平台的建立，將有助於未來智慧型生醫感測器系統單晶片的發展。

簡介

近十年來，許多文獻紛紛在探討，利用奈米結構的電子式生醫感測器來取代傳統的化學生物分

子檢測方法，因為其關鍵尺寸和生物或化學物質的大小相當^[1,2]。特別是，在不需標定與即時檢測低濃度的蛋白質^[3]，病毒^[4]，與 DNA^[5]的研究上，半導體矽奈米線場效感測器有非常大的發展潛力。但在大多數研究中，半導體矽奈米線，所採用的「bottom-up」製造方式^[2]，因為其個別奈米線的定位問題，將會導致商業製造量產化的困難。然而，在「top-down」矽奈米線製造方式的生醫感測器，因為其完全相容於目前商業的矽 CMOS 技術^[6]，提供了另一種可靠的解決方案。但是，由於較大的表面體積對體積比（Surface-to-Volume Ratio）的奈米線，具有更高的檢測靈敏度。所以，利用「top-down」製造方式的矽奈米感測器為了得到更細長的奈米線結構，往往需要引進特殊的技術或昂貴的黃光機台^[6,7]。因此，如何快速製作大量可靠的感測元件、精準而簡便的檢測和降低生產成本到商業規模所能接受的範圍，這些都將是矽奈米線場效感測器在未來生物醫學領域應用上所面對的議題。

此外，利用薄膜電晶體技術製造的多晶矽奈米線元件，非常適合於降低半導體製造成本^[8]。在本文中的多晶矽奈米線感測器可以完全整合於傳統 CMOS 製程技術中，能有很好的元件變異控制能力，且在不需要昂貴的黃光機台下，就能檢驗到電性感應。表 1 是本文和以往文獻^[2-6]所利用的矽奈米線場效應感測器的製程比較。雖然許多研究已在探討奈米線感測器靈敏度的改進^[9]，但是與信號處理電路和數據紀錄儲存的整合仍然

付之闕如。在本文中，多晶矽奈米線元件可以藉由對氧氮氧深埋介電層中的氮化矽電荷的電子式調整，達到對儲存資料的寫入或抹除。此嵌入式電子抹除式可複寫唯讀記憶體（EEPROM）可以很容易地和感測器元件一起整合到傳統 CMOS 電路。這種在 CMOS 相容製程下，生醫感測器，記憶體和 CMOS 電路的製程整合技術，將成為一種實現智慧型生醫感測器系統單晶片的可行方案。

表 1 矽奈米線場效應感測器的製程比較

Ref.	NW formation	NW material	NW uniformity	Process complexit	Fabrication cost	CMOS compatibility
[2]	CVD	Si	high	x	x	x
[3]	RIE (Dry)	SOI	high	simple	x	x
[4]	THAM (Wet)	SOI	high	x	x	good
[9]	E-beam	SOI	x	simple	x	good
[6]	spacer	poly-Si	x	simple	cheap	good
this work	BEOL	poly-Si	high	simple	cheap	good

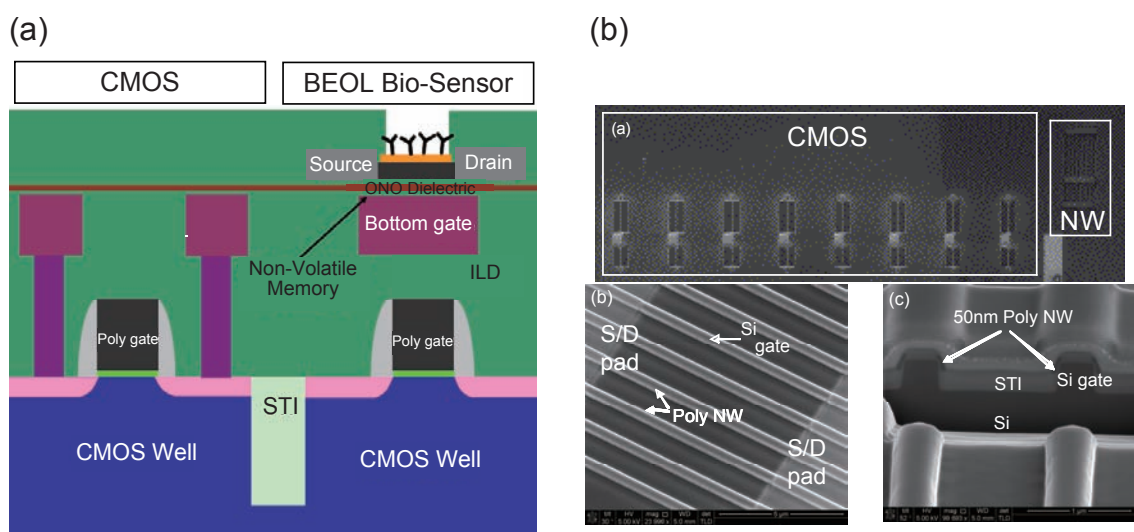


圖 1 (a) 混合感測器 / 記憶體 / CMOS 電路的多晶矽奈米線結構示意圖；(b) 掃描式電子顯微鏡所拍攝的奈米感測器和 CMOS 電路頂視圖。

多晶矽奈米線場效電晶體的製造

混合感測器 / 記憶體 / CMOS 電路的多晶矽奈米線結構示意圖，如圖 1 (a) 所示。此多晶矽奈米線的製作可以插入在半導體後段製程中。一開始，埋層氧化層沉積在基片表面作為奈米線場效電晶體的閘極介電層。然後藉由低壓化學氣相沉積，將 500 埃厚的多晶矽薄膜沉積在埋層

介電層上。下一步，藉由 i-line 黃光步進機，將多晶矽奈米線圖樣定義出來。由於 i-line 黃光步進機最小的分辨尺寸僅為 0.2 微米。利用光阻蝕刻修剪技術，奈米線寬度也只能達到 100 奈米左右的水準。本文採用奈米線再氧化收縮技術，可以有效將奈米線的寬度縮減到 50 奈米等級以

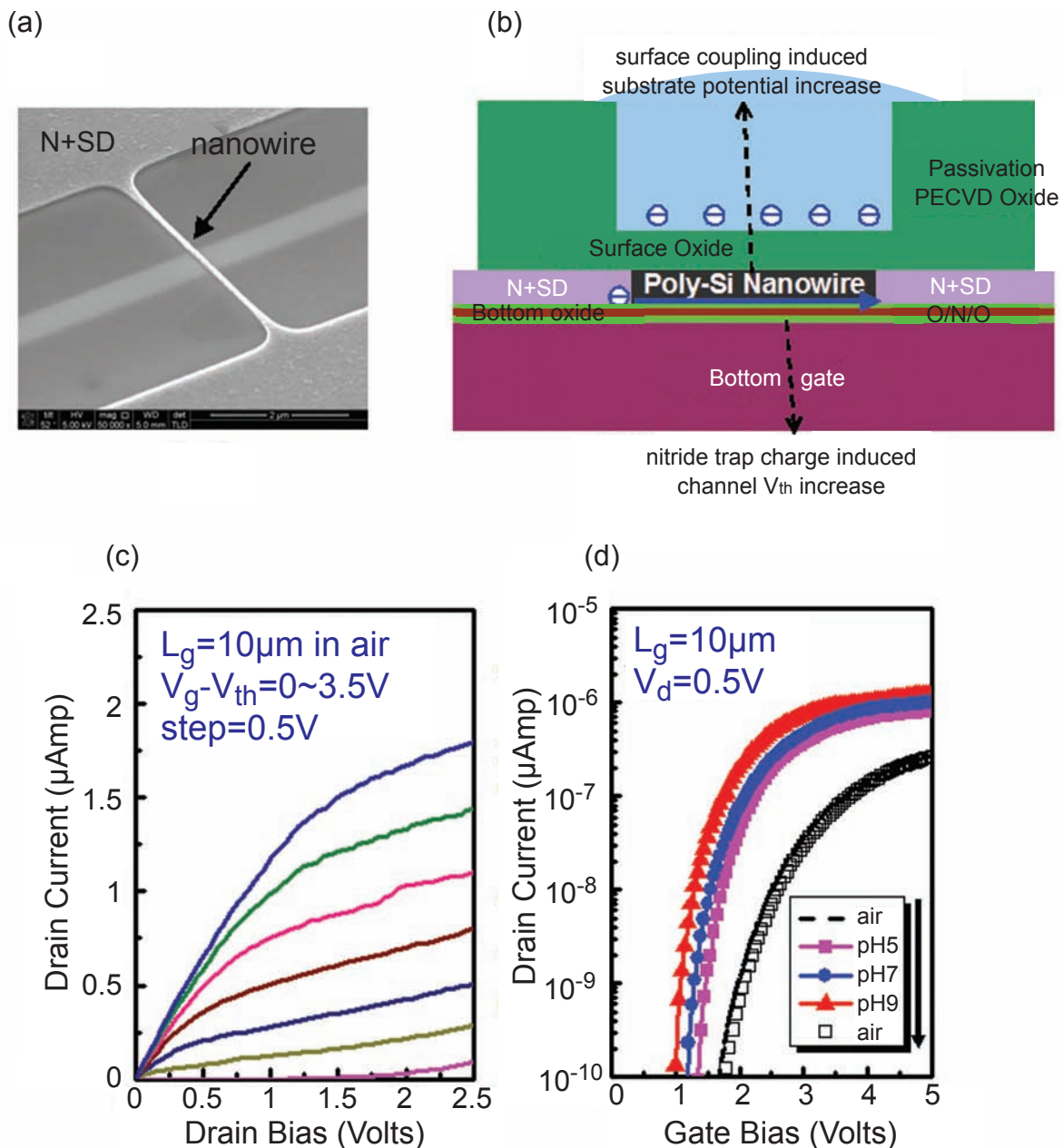


圖 2 多晶矽奈米線場效電晶體的操作模式圖與基本電性圖 (a) 掃描式電子顯微鏡所拍攝的奈米線元件；(b) 多晶矽奈米線對表面離子溶液濃度感測及氮化物電荷存儲的操作模式示意圖；(c) 多晶矽奈米線場效電晶體的ID-VD曲線特性圖；(d) 多晶矽奈米線場效電晶體的ID-VG曲線特性圖。

下。接著再利用 i-line 黃光步進機將通道保護光阻圖案定義在奈米線上。隨後，利用一萬電子伏特的磷離子佈植來定義 N 型源/汲極區。再將通道保護光阻去除。最後利用低溫熱處理方式，將源/汲極摻雜離子給有效活化。圖 1 (b) 顯示了藉由掃描式電子顯微鏡所拍攝到的奈米感測器和 CMOS 電路的頂視圖像。在標準的後段製程中，此多晶矽奈米線製造流程只需要兩道額外的光罩。圖 2 (a) 顯示了奈米線元件的掃描式電

子顯微鏡圖像，圖 2 (b) 為多晶矽奈米線對表面離子溶液濃度感測及氮化物電荷存儲的操作模式示意圖。圖 2 (c) 和 (d) 繪出多晶矽奈米線場效電晶體的 ID-VG 和 ID-VD 曲線特性圖。該元件的開關比約大於十的五次方，次臨界擺幅約為 0.5 V/dec。

圖 3 (a) 顯示在不同的奈米線寬度下，有無作奈米線收縮技術的電性統計結果。統計圖中的元

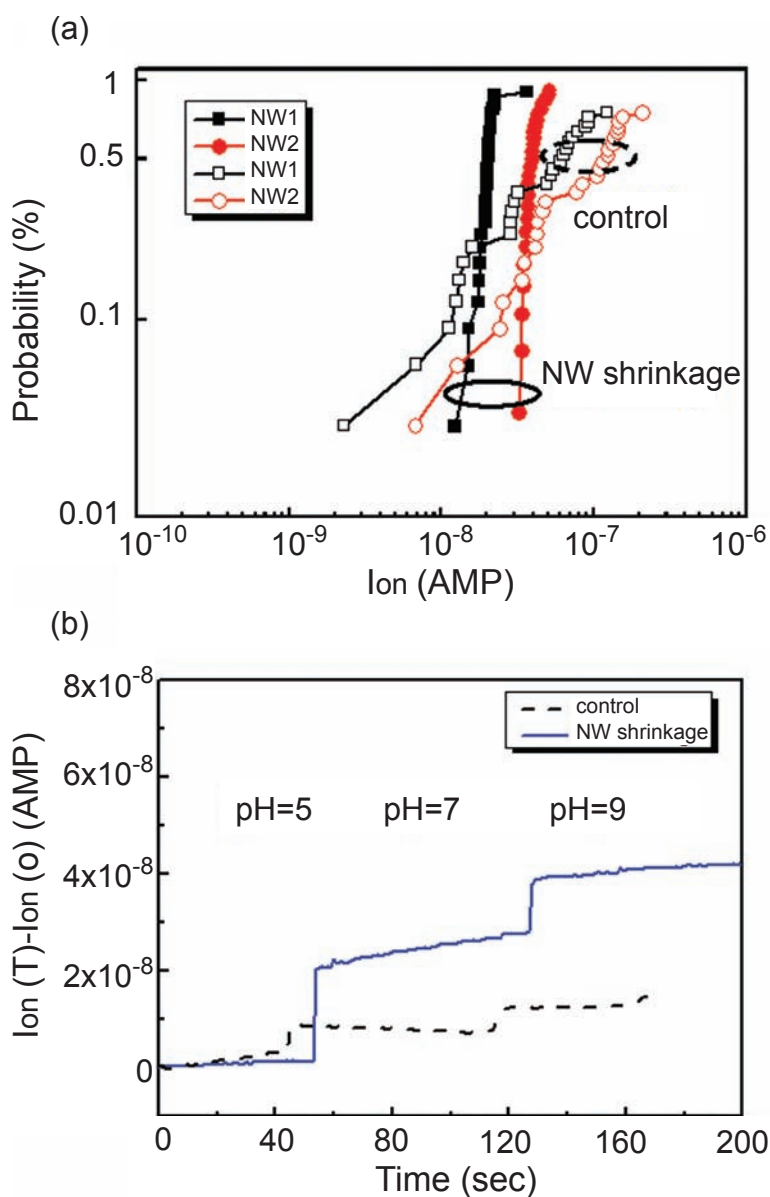


圖3 經奈米線收縮技術，奈米線感測器的 Ion 統計圖與在不同 pH 下的變化 (a) 在不同的奈米線寬度下，有無作奈米線收縮技術的電性統計結果；(b) 不同 pH 值的磷酸鹽緩衝溶液相繼流過同一條奈米線感測器時，元件 Ion 隨時間變化的數據。

件驅動電流， I_{on} ，是在沒有任何流體流經奈米線表面，量測到的汲極電流。在經過奈米線收縮技術處理後，我們可以發現 I_{on} 統計圖有較小的元件變異度且因表面粗糙度導致的拖尾現象也明顯改善。圖3 (b) 展示了，當 pH 值為 5, 7 和 9 的磷酸鹽緩衝溶液相繼流過同一條奈米線感測器時，元件 I_{on} 隨時間變化的數據。經過收縮技術處理的奈米線，由於有較大的表面積對體積比，使得在不同 pH 的電性量測中具有較大的 I_{on} 變化。本文中的多晶矽奈米線場效電晶體可以有效改善奈米線製程中的變異度和提高感測元件對 pH 值的靈敏性。因此，此種多晶矽奈米線場效 pH 感測器不僅具有較高的工業量產良率，在電路整合上也能有較大的信號雜訊容忍比。

奈米線生物感測器的應用

圖 2 (d) 同時也繪出了在不同 pH 值溶液中，在沒有經過表面處理的 n 型多晶矽奈米線場效電晶體 ID-VG 曲線圖。測試順序如箭頭所示。經過一連串的 pH 溶液流體的測試，多晶矽奈米線元件並沒有明顯的臨界電壓退化現象。和離子感應元件 (ISFET) [6,7] 不同的是，n 型多晶矽奈米線場效電晶體有更高的 pH 敏感性 (100 毫伏/ pH 值) 和相反方向的電性反應。隨著流體的 pH 值上升 5, 7, 9 和返回的順序，多晶矽奈米線元件的 I_{on} 能明顯的增加，並返回原初始值 (圖 4 (a))。因此，在這 n 型多晶矽奈米線中，正向電流變化 (10%/ pH 值) 是有再現性

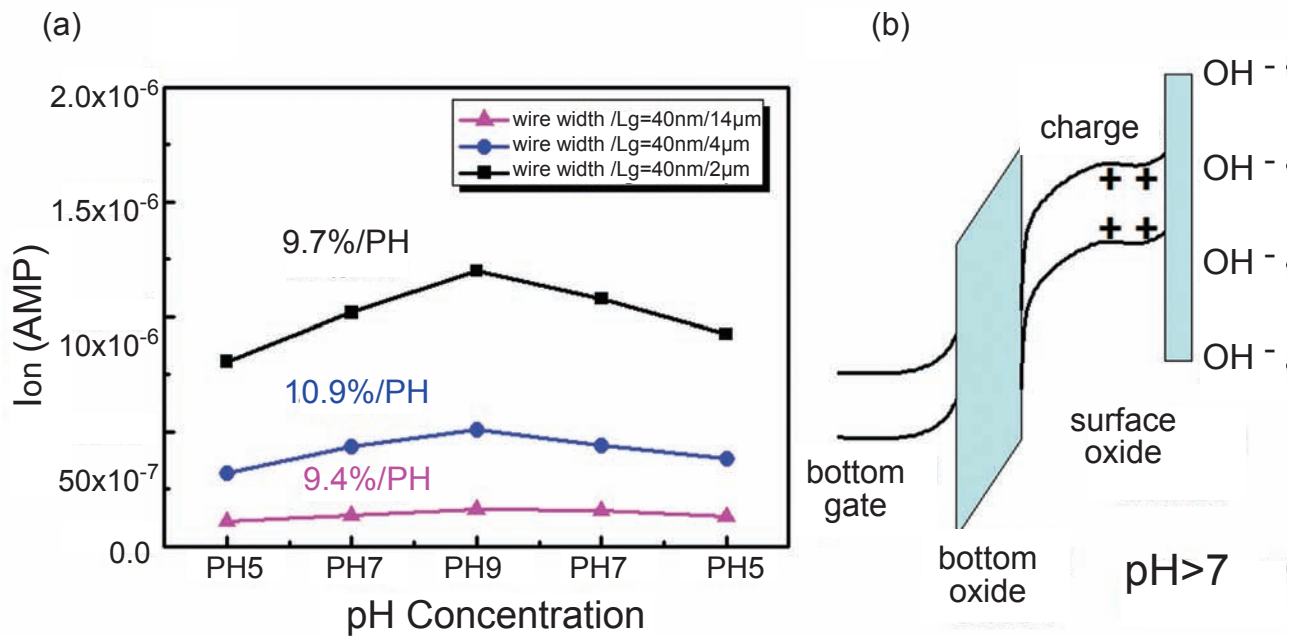


圖 4 奈米線感測器對 pH 敏感性反應與能帶圖 (a) 隨著流體的 pH 值變化的順序，多晶矽奈米線元件的 I_{on} 反應情形；(b) 多晶矽奈米線感測器的能帶操作示意圖。

的。圖 4 (b) 圖描述了奈米線感測器的能帶操作示意圖。其電性行為可以從表面離子溶液濃度耦合對底部場效電晶體的通道電位控制來解釋。這種表面耦合效應會使得奈米線基底通道電位和 pH 值溶液的離子強度有相反極性。

這項工作也包含了奈米線生醫感測器在不同 DNA 濃度下的檢測結果。圖 5 (a) 簡單描述了在進行 DNA 濃度檢測前，多晶矽奈米線表面的處理步驟。首先，藉由硫酸和過氧化氫混合溶液清洗五分鐘，在奈米線表面形成均勻的 OH 鍵。

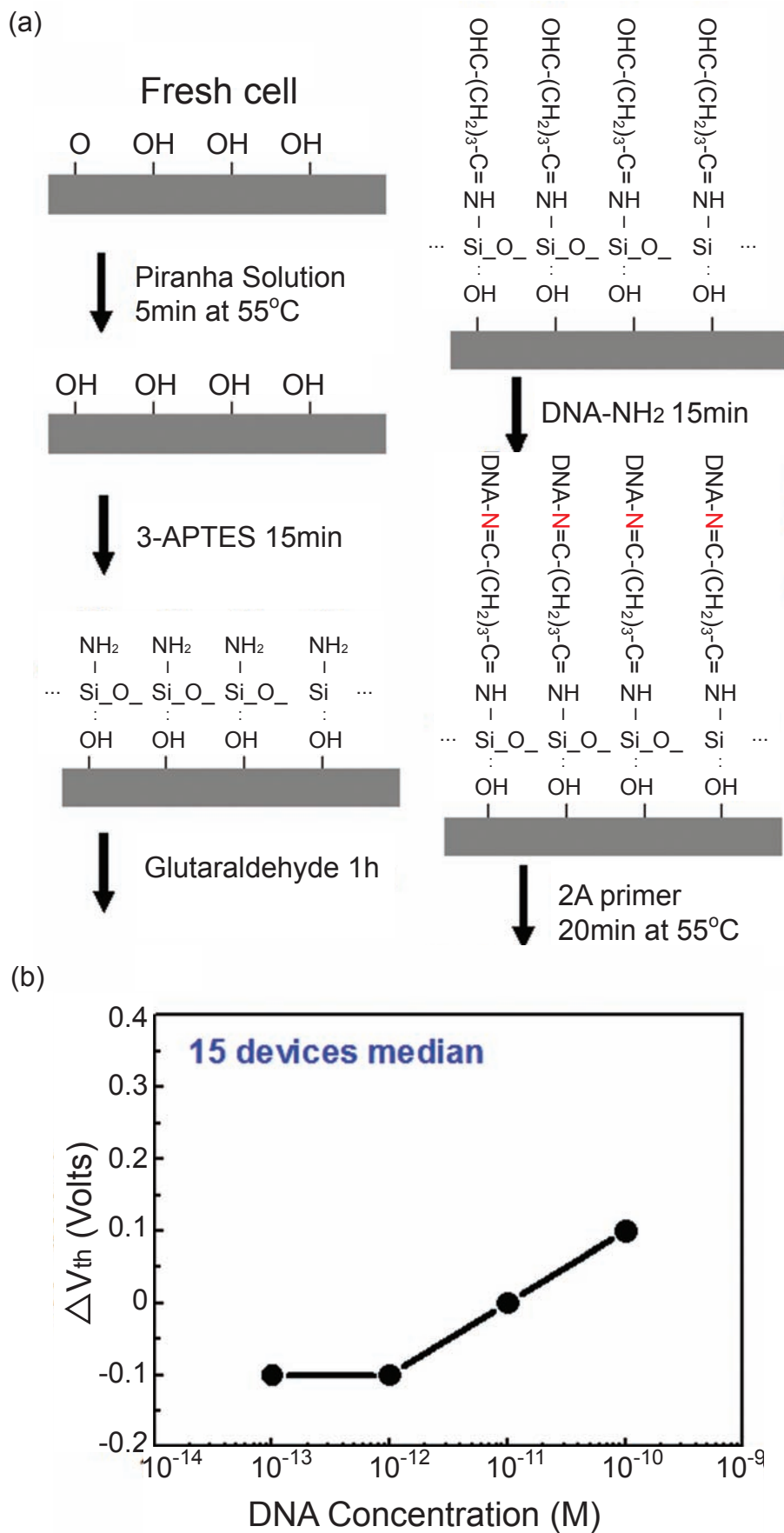


圖5 奈米線感測器在進行DNA濃度檢測前的表面處理步驟與電性反應結果 (a) 在進行DNA濃度檢測前，多晶矽奈米線表面的處理步驟；(b) 多晶矽奈米線場效感測器在不同DNA引物濃度的電性反應。

然後，塗佈 3 APTES 溶液和表面的戊二醛做鏈接。經過一系列處理過程後，寡核苷酸 (oligo-DNA) 可以有效地連結在奈米線表面上與後續 DNA 引物反應。多晶矽奈米線場效感測器在不同 DNA 引物濃度的電性反應如圖 5 (b)。每種測試條件都是在同一片晶片上 15 顆樣本的測試結果。我們可以發現在 10pM 等級下，仍然還有大約 100 mV 的臨界電壓 (V_{th}) 位移。其對 DNA 濃度的靈敏度遠高於一般連鎖複製反應 (PCR) 的極限。這一結果也證明了，在 DNA 檢測和基因工程的應用上，多晶矽奈米線場效感測器具有很高的潛力。

奈米線作為記憶體元件

利用特殊設計的氧化層-氮化物-氧化層做為底部電荷儲存介電層，可以實現在系統整合中資料儲存的應用。藉由高介電場下，氧氮氧底部介電層中氮化物陷阱的電荷填入或移出，奈米線基底通道電位能將可以被有效控制改變。圖 6 顯示出在不同的操作模式下，氧氮氧底部介電層多晶矽奈米線場效電晶體的 ID-VG 曲線圖。經過一約 10 秒的初始負偏壓，多晶矽奈米線場效電晶體 ID-VG 曲線可以平移到相對較低的位置，因為氮化物陷阱的電荷被抹除。之後藉由適當的寫入條件，元件 V_{th} 可以被有效的調整，同時，經過

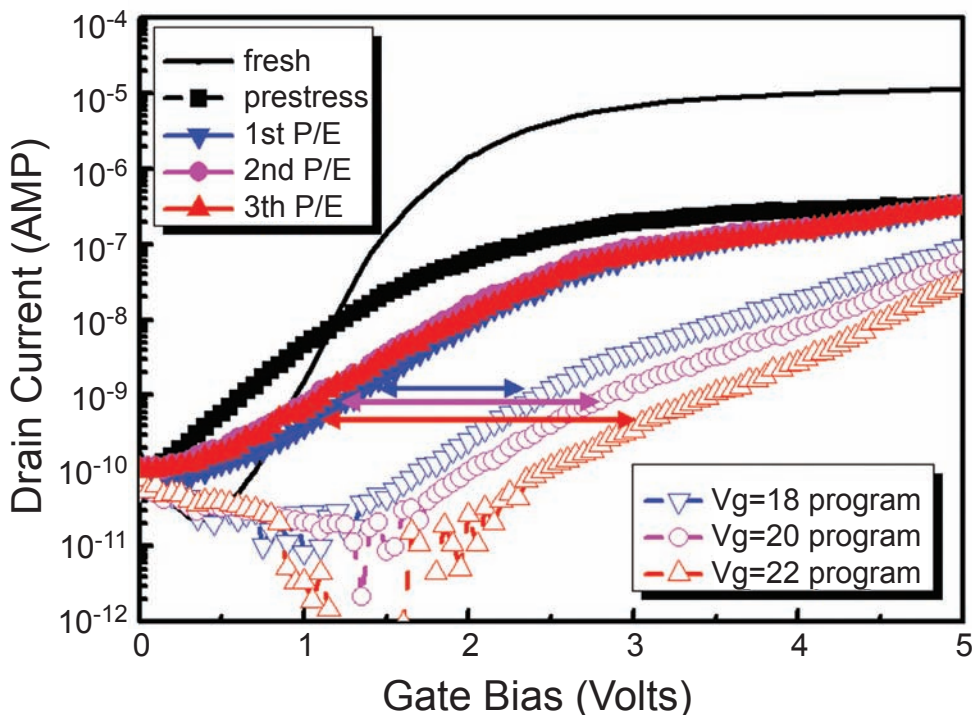


圖 6 在不同的操作模式下，多晶矽奈米線記憶體的 ID-VG 曲線圖。

一短暫約 10 毫秒的抹除條件，ID-VG 曲線可以被調整到穩定的低臨界電壓位置。在各種操作條件下，奈米線記憶體元件電性具有穩定的重複再現性。

在不同的臨界電壓條件下，氧氮氧底部介電層多晶矽奈米線場效電晶體在各種 pH 溶液中的電性反應也被測試。首先，我們記錄下初始臨界電壓和經過不同的 pH 溶液測試下的初始狀態，

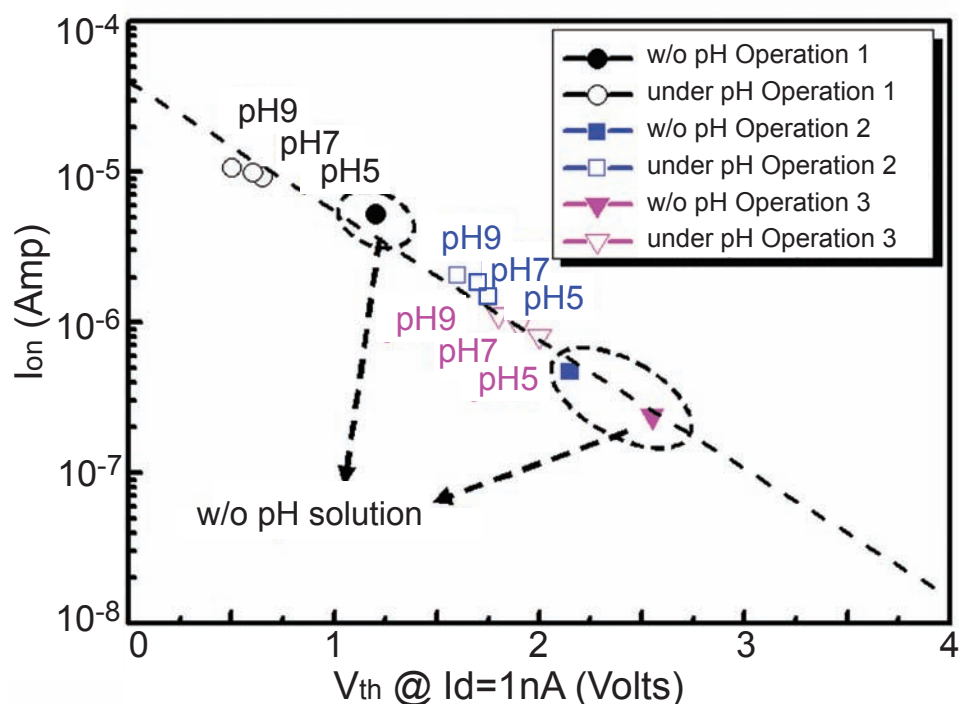


圖 7 在不同的操作模式下，多晶矽奈米線記憶體的 Ion-Vth 趨勢。

操作 1。然後，藉由適當的氮化矽電荷的填入使奈米線 V_{th} 偏移到較高的狀態，並經過不同的 pH 溶液測試，操作 2。最後，藉由更高的寫入電壓，操作 3，使奈米線元件獲得較高的 V_{th} 水平，然後同樣作各種 pH 值下的測試（圖 7）。圖中發現表面 pH 值離子耦合和氮化物電荷捕捉都遵循著相同的 Ion-Vth 趨勢。因為 V_{th} 調節的一致性，氧氮氧底部介電層多晶矽奈米線場效電晶體提供了一種進行自我校正和電荷儲存元件上的應用。

圖 8 比較了多晶矽奈米線記憶體元件寫入和抹除效率的基本電性。當編程時間大約是 10 毫秒時（閘極的寫入或抹除電壓為 22V 或 -12V），氧氮氧底部介電層多晶矽奈米線場效電晶體的 V_{th} 位移將可達 3V 以上。多晶矽奈米線元件的記憶體寫入抹除耐力如圖 9（a）所示。可以看

出，寫入/抹除（P/E）週期在十萬次操作循環後，仍能有穩定的記憶 P/E 窗口。其記憶儲存保留能力則顯示在圖 9（b）。在 3 天長時間烘烤之後，記憶體的 P/E 窗口仍然大於 2V。這些記憶體可靠度結果都證明了，在嵌入式資料儲存器應用中，氧氮氧底部介電層多晶矽奈米線場效電晶體有很大的潛力。

結論

利用國家奈米元件實驗室現有 CMOS 元件製造平台，我們成功開發出可以應用於生醫感測器及非揮發性記憶體的奈米線元件。此種奈米感測元件的臨界電壓對 pH 偵測靈敏度能夠達到 100mV/pH，另外在 10pM 等級的 DNA 濃度中也能夠偵測到 100mV 的臨界電壓改變。而在記憶體元件的應用上，此種奈米線記憶體元件在十萬次的操作或長時間的記憶保持力仍能

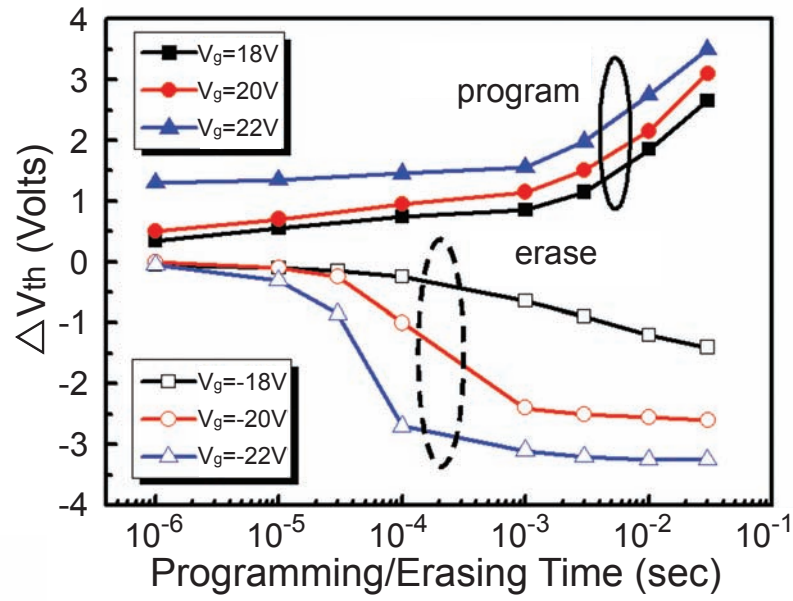


圖8 多晶矽奈米線記憶體的寫入與抹除效率。

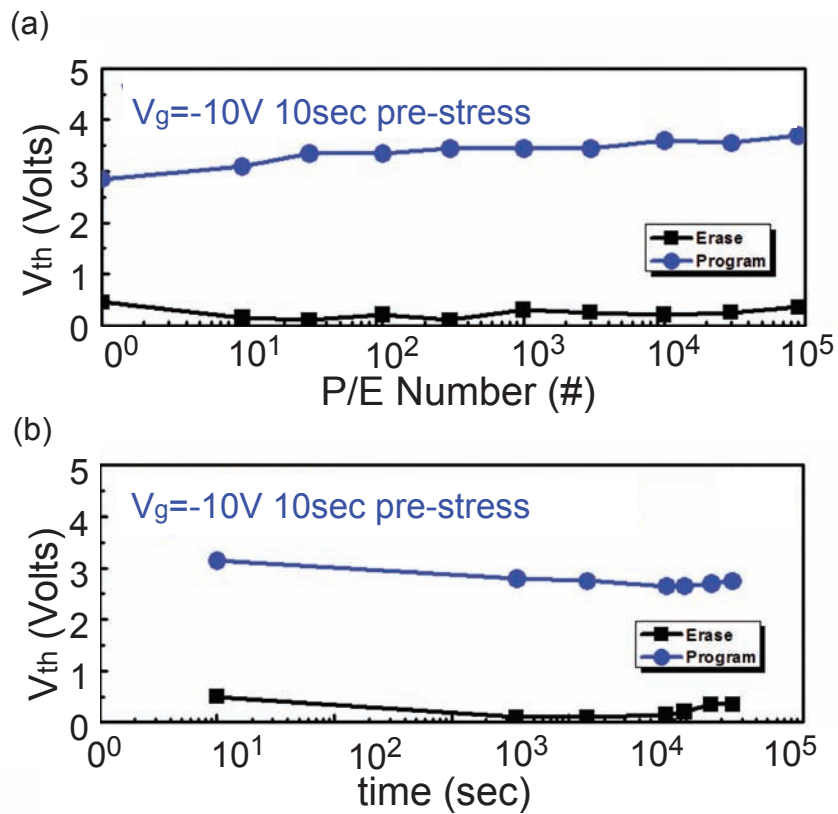


圖9 (a) 多晶矽奈米線元件的記憶體寫入抹除耐力；(b) 多晶矽奈米線元件的記憶體儲存保留能力。

有大於2V的寫入/抹除記憶視窗。這種感測器製造技術將使生醫感測，訊號處理及資料記錄能夠整合在同一個CMOS電路系統單晶片上，成為一種在未來醫療監控或生技研究上的智慧型生醫感測器。

致謝

感謝長庚大學邱建泰老師及洪錦堂老師實驗研究群在生醫實驗上的進行。

參考資料

- [1] M. Curreli, R. Zhang, F. N. Ishikawa, H. K. Chang, R. J. Cote, C. Zhou, and M.E.Thompson, "Real-Time, Label-Free Detection of Biological Entities Using Nanowire-Based FETs", IEEE Trans. Nanotech., Vol. 7, pp. 651-667, 2008
- [2] Y.Cui, Q. Wei, H. Park, and C. M. Lieber, "Nanowire Nanosensors for Highly Sensitive and Selective Detection of Biological and Chemical Species", Science Vol. 293, pp. 1289-1292, 2001
- [3] A. Kim, C.S. Ah, H. Y. Yu, J. H. Yang, I. B. Baek, C. G. Ahn, C. W. Park, M. S. Jun, and S. Lee, "Ultrasensitive, Label-Free, and Real-Time Immunodetection Using Silicon Field-Effect Transistors", Appl. Phys. Lett. Vol. 91, pp. 103901-103903, 2007
- [4] E. Stern, J. F. Klemic, D. A. Routenberg, P. N. Wyrembak, D. B. Turner-Evans, A. D. Hamilton, D. A. LaVan, T. M. Fahmy, and M. A. Reed, "Label-Free Immunodetection with CMOS-Compatible Semiconducting Nanowires" Nature, Vol. 445, pp. 519-522, 2007
- [5] G. J. Zhang, G. Zhang, J. H. Chua, R. E. Chee, E. H. Wong, A. Agarwal, K. D. Buddharaju, N. Singh, Z. Gao, and N. Balasubramanian, "DNA

Sensing by Silicon Nanowire: Charge Layer Distance Dependence" Nano Lett. Vol. 8, pp. 1066-1070, 2008

- [6] H. C. Lin, M. H. Lee, C. J. Su, T. Y. Huang, C. C. Lee, and Y. S. Yang, "A Simple and Low-Cost Method to Fabricate TFTs with Poly-Si Nanowire Channel", IEEE Electron Device Lett. Vol. 26, pp. 643-645, 2005
- [7] C. Y. Hsiao, C. H. Lin, C. H. Hung, C. J. Su, Y. R. Lo, C. C. Lee, H. C. Lin, F. H. Ko, T. Y. Huang, and Y. S. Yang, "Novel Poly-Silicon Nanowire Field Effect Transistor for Biosensing Application", Biosens. Bioelectron. Vol. 24, pp. 1223-1229, 2009
- [8] H. C. Lin, and C. J. Su, "High-Performance Poly-Si Nanowire NMOS Transistors", IEEE Trans. Nanotech., Vol. 6, pp. 206-212, 2007
- [9] K. S. Shin, K. Lee, Ji Y. Kang, and C. O. Chui, "Novel T-Channel Nanowire FET Built-in Signal Amplification for pH Sensing" IEEE Int. Electron Dev. Mtg. Tech. Dig., pp. 599-602, 2009
- [10] Y. Chen, X. Wang, S. Erramilli, and P. Mohanty, "Silicon-Based Nanoelectronic Field-Effect pH Sensor with Local Gate Control", Appl. Phys. Lett. Vol. 89, pp. 223512-223514, 2006
- [11] P. Bergveld, "Thirty Years of ISFETOLOGY What Happened in the past 30 Years and What may Happen in the next 30 Years", Sens. Actuators B Vol. 88, pp. 1-20, 2003
- [12] P. R. Nair, and M. A. Alam, "Design Considerations of Silicon Nanowire Biosensors", IEEE Trans. Electron Devices Vol. 54, pp. 3400-3408, 2007

科技交流

Technology Promotion

漫談先進航太膠合技術

文/圖 林育全、黃鼎名 儀器科技研究中心

膠合技術起源甚早，相較於傳統銲接技術的應用，遠在幾千年以前人類就已懂得應用糯米、漆物等作為黏著劑，而傳統銲接技術則為工業革命後之產物。雖然膠合技術起源很早，但膠合黏著劑與膠合技術廣泛地應用在金屬結構、電子元件、光電玻璃及航太零組件上，且有系統性的開發研究，卻是近二、三十年的事。這項技術的創新研發，在航空太空產業扮演相當重要的角色。如 2003 年美國太空梭哥倫比亞號在重返大氣層時於空中解體，推測事故發生的原因，可能與機體部位的耐熱板於常溫下膠合黏著不牢固有關^[1-2]；1986 年美國太空梭挑戰者號進行第 10 次太空任務，升空 70 幾秒後爆炸解體墜毀，推測事故發生的原因，可能是固態火箭推進器與機身相聯結處之 O 形環接合區域產生微裂縫，事後美國太空總署（NASA）即更改 O 形環材質，採用一種名為 RTV（room-temperature vulcanizing）之彈性膠體^[3]。此外，人造衛星遙測酬載光學反射鏡片，連接光學

鏡片與金屬構件的膠合黏著劑，容易受溫差的影響釋出揮發性物質，污染光學鏡片，造成傳回地球影像模糊。

航空太空儀器在飛行或太空軌道運行，尤其在太空軌道時，乃處於高真空、強輻射及微重力狀態，沒有氣體熱對流散失現象，在受到陽光熱輻射照射的部分，會產生極大的高溫，而背向陽光的部分，溫度會低於攝氏零度以下，此極大的溫差容易導致儀器結構的變形損壞；且外太空中不像地球上空有大氣層保護，含有高能的宇宙輻射線，這些輻射線會穿透儀器結構本體，其材料多年吸收了這些輻射線，會造成損壞、變形或使電子元件失常，導致航空太空儀器功能無法正常運作。在微重力部分則會導致結構應力釋放，故結構系統在地表接合及組裝時，需同時考量微重力及無應力組裝問題。綜合上述考量，航空太空儀器系統結構的設計、材料選擇與接合組裝是個重要環節，設計人員對外太空環境需有一定的瞭

解，才足以應付航空太空儀器在航空軌道獨特的環境下正常運作，本文即針對目前應用於航空太空儀器組件常用膠合材料與技術作概略性介紹。

膠合理論與機制

膠合技術是利用各種黏著劑將被接合物連接成一體的接合方式，其優點在於可以將相當複雜之異種材料黏接起來，接合處不會有局部熱應力的影響，無熱影響區域的產生而導致接合處強度降低，且隨著高分子材料發展日新月異，現今材料膠合區域已具相當優異的接合強度、機械性能及氣密性。當兩種材料接觸時，在界面層上所產生的自然吸附現象（the nature of adhesion）稱為黏附作用，而造成兩種材料黏附作用的主要理論機制有擴散、化學、機械結合及靜電等理論^[4-6]。依照歐盟鋁材協會及相關文獻^[4-6]對 adhesive bonding 定義，擴散結合機制主要為黏著劑與被接合材料界面分子之間互相擴散，使界面層逐漸消失，相互交結產生結合作

用，此理論較適合解釋塑膠等高分子材料之接合行為，因為高分子材料較容易被黏著劑溶解且相互擴散。化學結合機制主要為黏著劑與被接合材料界面產生化學反應，形成化學鍵結產生結合作用。機械結合機制則認為被接合材料表面具有一定的粗糙度及多孔性，黏著劑會滲透到被接合材料表面，固化後而形成結合作用，故黏著劑與接合材料表面之潤濕（wetting）能力就顯得相當重要，即黏著劑與接合表面接觸後，接觸面積與潤濕角度大小的關聯性，潤濕角度大、接觸面積小，則潤濕能力差不利接合。而靜電結合機制為黏著劑與被接合材料表面，由於靜電力的相互吸引而產生結合作用。

綜合上述，膠合黏接技術主要為黏著劑對被接合材料表面產生黏附作用，故不論何種理論機制所造成之黏附作用，其接合表面處理情況與好壞，將會大幅影響接合強度。圖 1 與圖 2 所示分別使用 DP490 結構膠材對玻璃與金屬膠

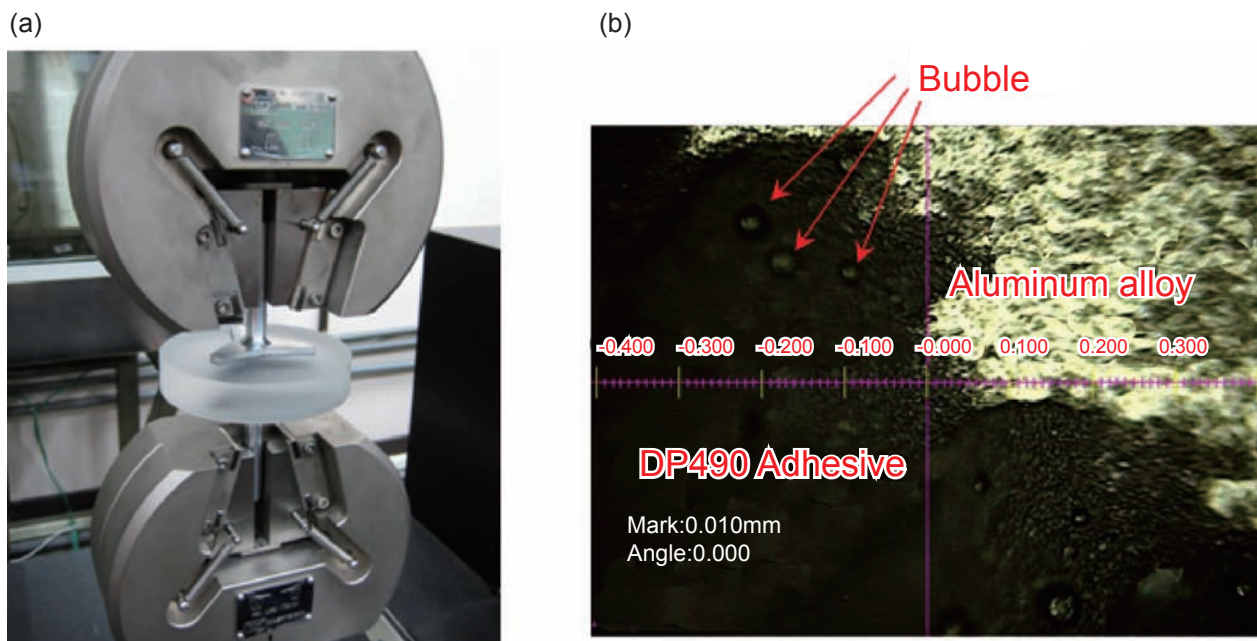


圖 1 玻璃與金屬膠合拉伸試驗 (a) 拉伸試驗；(b) 拉伸破斷面分析。

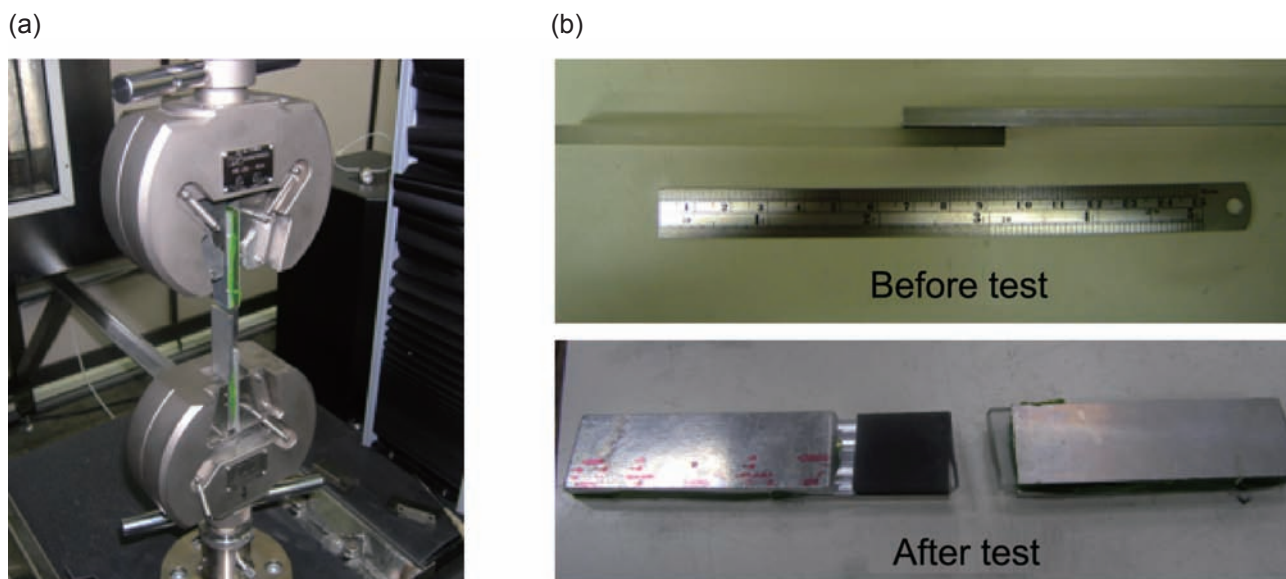


圖2 玻璃與金屬膠合剪力試驗 (a) 剪力試驗；(b) 剪力破斷面分析。

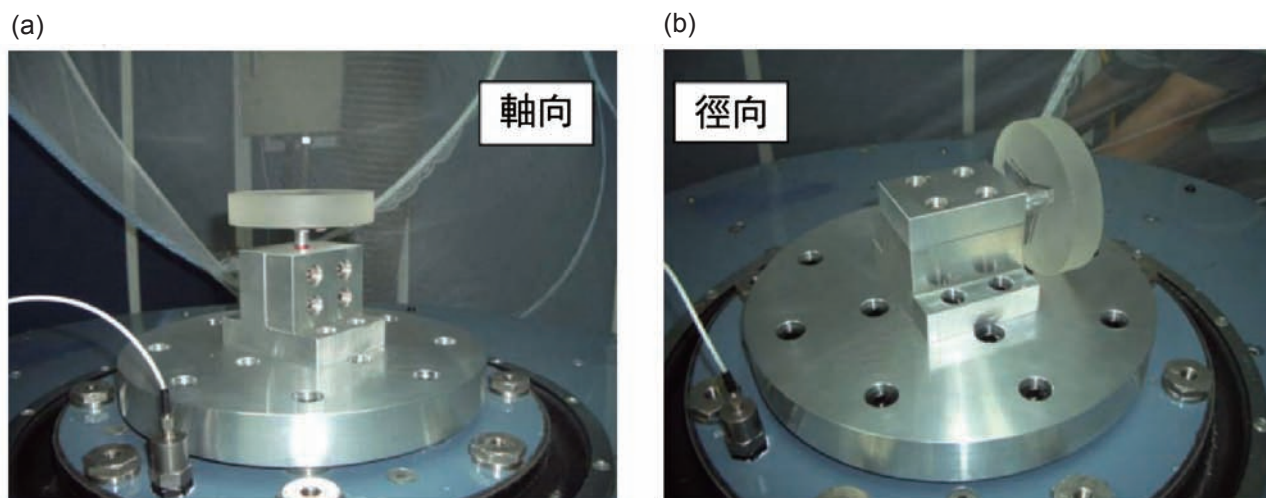


圖3 玻璃與金屬膠合振動試驗 (a) 軸向振動試驗；(b) 徑向振動試驗。

合，並分別作拉伸與剪力試驗，以探討膠合強度與特性，經測試結果顯示膠材之拉伸與剪力強度皆可達到 MPa 等級強度。圖 3 所示則使用 DP490 結構膠材對玻璃與金屬膠合之振動試驗，以 80Hz-32G 的振動破壞測試規格，經過 15 分鐘軸向與徑向振動測試，試件外觀及膠合

部分都正常，並無損壞情形，試件膠合強度足以承受此測試條件。

航太膠合技術與規範

光學鏡片膠合主要目的為使用黏著劑將透鏡、稜鏡或反射鏡等光學元件黏合在一起，並防止玻

璃表面反射而引起的光量損失、簡化複雜的透鏡或稜鏡加工、保護光學成品的組裝與調校等。至於膠合性能是否符合太空規格，其測試規範至少須符合下列四點^[7-10]：

一、根據 NASA RP 1124 技術文獻，總出氣量 out-gassing 總重量損失 (total mass loss, TML) 須小於或等於 1.0%，且揮發性物質 (collected volatile condensable material, CVCM) 須小於或等於 0.10%。

二、根據 NASA MSFC-SPEC522B，膠材須具備有高抗應力腐蝕特性，特別是對複合金屬材料及碳纖維複合材料 (Carbon Fiber Reinforced Plastics, CFRP)。

三、根據 NASA NSTS 1700.B，膠材在硬化後，其毒性、可燃性及腐蝕性須在規範內。

四、在光學應用上，膠材的揮發性對光學元件的污染性須在一定規範內，具有高度揮發性試劑應避免使用於光學元件上，以免污染光學元件。

符合上述太空規格的膠材種類很多，相關國際規範也大不相同，如 NASA、ESA、JAXA、ISO 等認證規範皆不盡相同，本文僅就目前常用於航太產業的抗振動 RTV566 膠材及 DP490 結構膠材作介紹。

RTV 566 膠材為美國通用公司所生產製造，為 AB 二劑膠，含黏著劑與硬化劑。RTV566 膠為軟膠，不能作為結構用膠，但可做為玻璃鏡片與結構間或鏡片與鏡片間之填縫用，主要目的為隔絕彼此間的振動，增加抗振性及長期光學穩定性。此膠常應用於航太工業及半導體封裝上，前

者藉其抗振特性，應用在航空飛行中，可避免高頻振動，增加飛行時光學量測之穩定性，後者則藉其軟膠特性降低封裝中殘留應力。

一般而言，應用於航太膠合及半導體封裝上，必須要有較低出氣率、低 CVCM 及 TML 要求，以降低黏著劑對鏡片或接合物的污染。而 RTV566 膠材其 CVCM 為 0.02%、TML 在 0.14%，符合美國太空總署 NASA RP1124 (Out-gassing data for selecting spacecraft materials) 要求，通過 NASA 認證許可，廣泛應用於衛星酬載、航空太空和半導體封裝上。

DP 490 膠材為美國 3M 公司所生產製造，為結構性 AB 二劑膠，含黏著劑與硬化劑。DP490 膠為硬膠，可作為結構性用膠，由於黏著強度非常高，因此常被使用在結構性之接合組裝上，其具有優良的黏著力及耐振動特性，常應用於金屬、玻璃及陶瓷之結構性強力接合。由於 DP490 膠是屬於 AB 劑混合膠，不同比率會影響膠硬化時間和物理性質，如膠內含硬化劑比例較高者，其膠的硬化時間較快，但容易受溫度影響，且長時間膠內部也易產生化學變化，固化後易產生殘留應力。

前述 RTV566 膠係屬於軟膠，殘留應力問題可以忽略，然其組成受溫度影響應予以考慮。在航空太空環境要求中，材料對溫度變化所產生之公差與應力為一關切重點，所以膠的配比參數乃實踐工藝重要一環。在組裝黏合過程中，



圖4 螺旋膠槍混合器。



圖5 DP490 灌膠黏著接合。

RTV566 膠與 DP490 膠常用於封裝和固定，所以膠的流動性和置入工作時間亦須考量。膠材的流動性高、黏稠性低，組裝不易，常溢流而污染鏡片或膠合物，而膠黏稠性高，會導致組裝黏合上的困難，所以適當配比的膠，不但克服溫度的影響且有利於組裝過程。此外，膠材的混合不宜使用快速攪拌器，以免產生微氣泡而使整體膠的密度和物理特性改變。膠材的混合應使用特製螺旋膠槍混合器，依不同膠體特性，使用不同的螺旋混合器，以確保膠材充分混合並避免微氣泡的產生（如圖 4 所示）。圖 5 所示則為使用 DP490 結構膠材進行灌膠黏著接合。

影響膠合強度的因素相當多，除前述接合物表面處理情況、黏著劑潤濕能力、硬化劑比率及氣泡等，皆對膠合強度產生極大影響。而膠材厚度亦是影響膠合強度一重要參數，Bayar^[11]曾提出一簡單透鏡膠合厚度計算公式，透鏡直徑乘上膠合金屬與膠合玻璃之熱膨脹係數差值後，再除以兩倍膠合金屬與膠合材料之熱膨脹係數差。

$$t_E = \frac{D_G(\alpha_M - \alpha_G)}{2(\alpha_E - \alpha_M)}$$

t_E : 膠厚 (mm), D_G : 透鏡尺寸 (mm),
 α_M : 接合金屬熱膨脹係數 (ppm/°F), α_G : 接合透鏡熱膨脹係數 (ppm/°F), α_E : 膠材熱膨脹係數 (ppm/°F)

膠合技術後續發展與建議

膠合技術嚴格定義為傳統銲接技術之一，相較於傳統銲接技術，膠合技術對航空太空元件接合所扮演角色愈來愈重要，未來如何建立起標準且

符合國際航空太空元件膠合技術，為國內目前接合領域重要研究課題。

參考資料

- [1] 康哲行、蔡志然、丁南宏，「哥倫比亞號太空梭」，科學發展月刊，366期，pp.64-69，2003。
- [2] 維基百科，「哥倫比亞號太空梭」，<http://zh.wikipedia.org/zh-tw/>。
- [3] 維基百科，「挑戰者號太空梭」，<http://zh.wikipedia.org/zh-tw/>。
- [4] 姜志華，「輕結構膠合技術」，科學發展月刊，400期，pp.24-29，2006。
- [5] R. A. Lindberg and N. R. Braton, "Welding and Other Joining Processes", Allyn and Bacon, Inc., pp.161-189, 1976.
- [6] L. Dorn, "Adhesive Bonding-Terms and Definitions", European Aluminum Association TALAT Lecture 4701, pp.1-20, 1994.
- [7] NASA Reference Publication, "Outgassing Data For Selecting Spacecraft Materials", NASA-RP-1124-REV-4.Oct. 24, 1997.
- [8] NASA Reference Publication, "Design Criteria for Controlling Stress Corrosion Cracking", NASA-MSFC-SPEC-522B, July, 1987.
- [9] NASA Reference Publication, "Safety Policy and Requirements for Payloads Using the Space Transportation System", NASA-NSTS-1700.B, January, 1989.
- [10] J. G. Daly and D. J. Daly, "Structural Adhesives for Bonding Optics to Metals: A Study of Optomechanical Stability", Proceedings of SPIE, Vol.4444, 2001.
- [11] M. Bayar, "Lens Barrel Optomechanical Design Principles", Optical Engineering, 20, pp.181, 1981.

漫步雲端中，軟體一點通 NCHC 軟體與資料庫雲端計算服務

文/圖 王國肇、謝昌煥 國家高速網路與計算中心

摘要

本文將介紹國研院國網中心所建置的一個高便利性、低網路頻寬需求以及支援 3D 繪圖的雲端計算服務環境，使用者可經由網頁瀏覽器點選需要的軟體及配置的主機，就可以方便且快速地使用

各種應用軟體。如此一來，各學門的研究人員可免除繁複的軟硬體設定步驟，節省了解如何設定使用環境及啟動計算工具的時間，而能更專注於發掘科學新知及應用研究主題。



圖 1 網頁入口。

前言

雲端計算自 2009 年底以來成為國內最熱門的科技話題之一，可惜卻是個定義寬鬆的詞彙。簡單說來就是服務系統經由網路的連結，讓使用者利用各種上網工具直接取得服務的模式，而這個服務系統可以是基礎設施（infrastructure），例如：各種主機及儲存設備的服務，也可以是中介平台（platform），例如 Twitter 與 Facebook 這類的開放式互動工作空間服務，或是應用軟體（software）服務^[1]。

國研院國網中心建置國內學研界電腦軟硬體資源共享環境，為了達到提高使用效率及降低成本，即是透過類似的模式提供服務。然而後端伺服器是由不同的電腦主機和各式各樣的應用軟體所組成，使用者往往需要耗費不少的精力與時間熟悉操作環境的使用方式，才能順利連上伺服器使用，因此國研院國網中心持續改進介面使用的方便性，尤其是對於電腦指令不甚熟悉的生物醫學研究工作者而言，經由網頁瀏覽器只需點選所需要的軟體及配置的主機，就可以使用國網中心提供的各項應用軟體服務^[2]，可以說是相當便捷。

踏入雲端的世界

為了使一般使用者可以輕鬆地使用雲端服務，國研院國網中心發展一套雲端服務系統，使用者的電腦只需安裝有 Java^[3] 即可直接經由入口網頁 <http://chem5.nchc.org.tw/cdesk/>（圖 1）啟動此系統，等待 Java 程式載入後連線至伺服器，即可得到一個視窗畫面，顯示出提供服務的所有軟體和資料庫（圖 2），接下來，

使用者僅需選擇要使用的大型主機與應用軟體，並輸入使用帳號及密碼後（圖 3），即可開啟指定主機上的應用軟體，藉由 NX 技術^[4] 將畫面直接整合至使用者端的螢幕上，呈現的畫面與一般本機的應用軟體沒有兩樣（圖 4 為使用大型主機中 Matlab 的畫面）。藉由此技術的協助，使用大型主機上的應用軟體，就好像使用安裝於自己的電腦中的軟體一樣方便，並且享有大型主機高效能計算的優點。

NX 技術是將傳統的 X Window 架構改良，改善其壓縮與傳輸的方式，減少所需的網路頻寬，因此在一般較低頻寬的網路環境下（如 ADSL）也可以正常使用本系統，網路連線速度不足在本系統中所造成的影響非常小，對於需要在家使用大型主機上應用程式的使用者而言，是非常好的選擇；另外由於其資料的傳輸皆透過 SSH 加密之通訊協定傳輸，因此所有的操作過程與所有的資料都經過加密，也提升了系統的安全性。另外，若使用者需要使用大型主機之軟體處理自己的資料，則先將自己的資料以檔案傳輸協定（FTP）的方式上傳至大型主機的儲存空間，即可使用本系統處理自己的資料，而要下載資料也是使用此種方式。

為使讀者更加了解此項技術，本文亦提供系統架構圖（詳圖 5），包含一台網頁伺服器，多台 NX 伺服器（NX Servers）與應用軟體伺服器（Application Servers），即透過網頁伺服器將使用者平均分配至各台 NX 伺服器，以達到負載平衡（load balancing）。應用軟體伺服器以

傳統的 X Window 協定將使用者操作畫面傳送至 NX 伺服器，再轉換為效率較高的 NX 通訊協定傳回使用者端，如此可得到較佳的操作流暢度；而應用軟體伺服器與 NX 伺服器雖然是使用傳統

的 X Window，但因為此區段的傳輸過程都非常短（甚至在同一個網路區段中），因此對於使用者而言所造成的影響並不大。

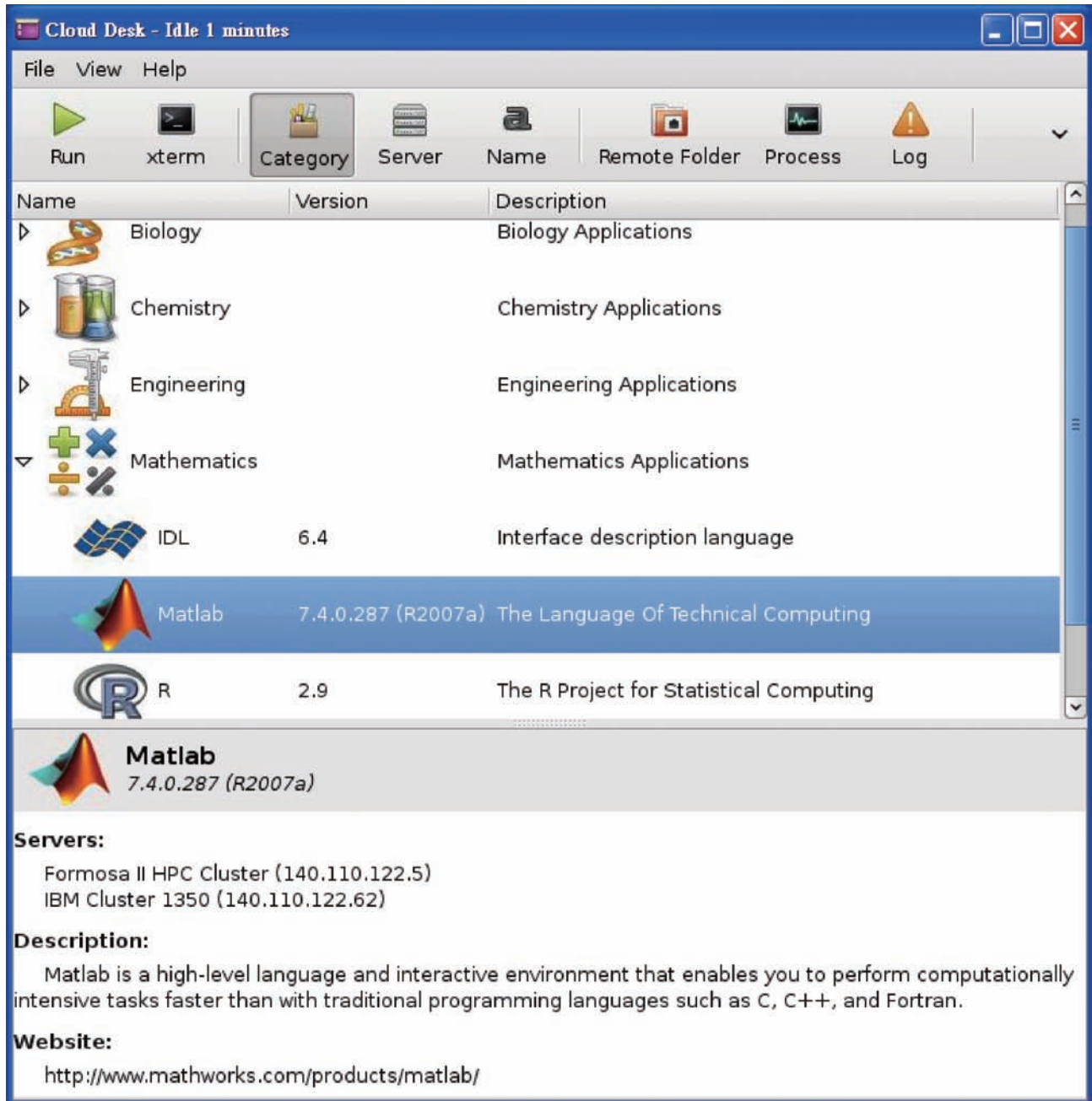


圖 2 軟體的來源、功能簡要說明，及安裝的主機。

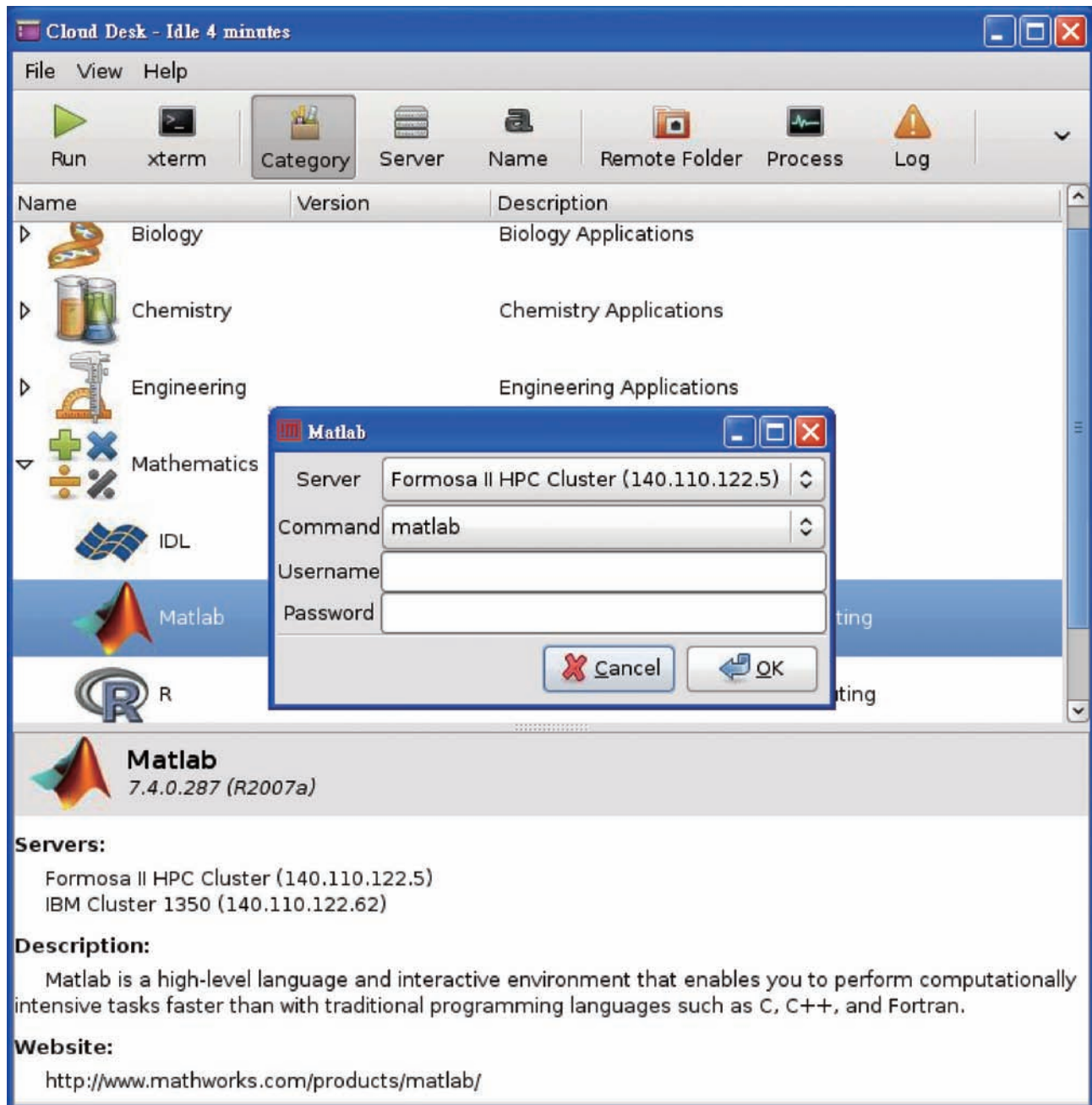


圖3 登入主機帳號及密碼的畫面。

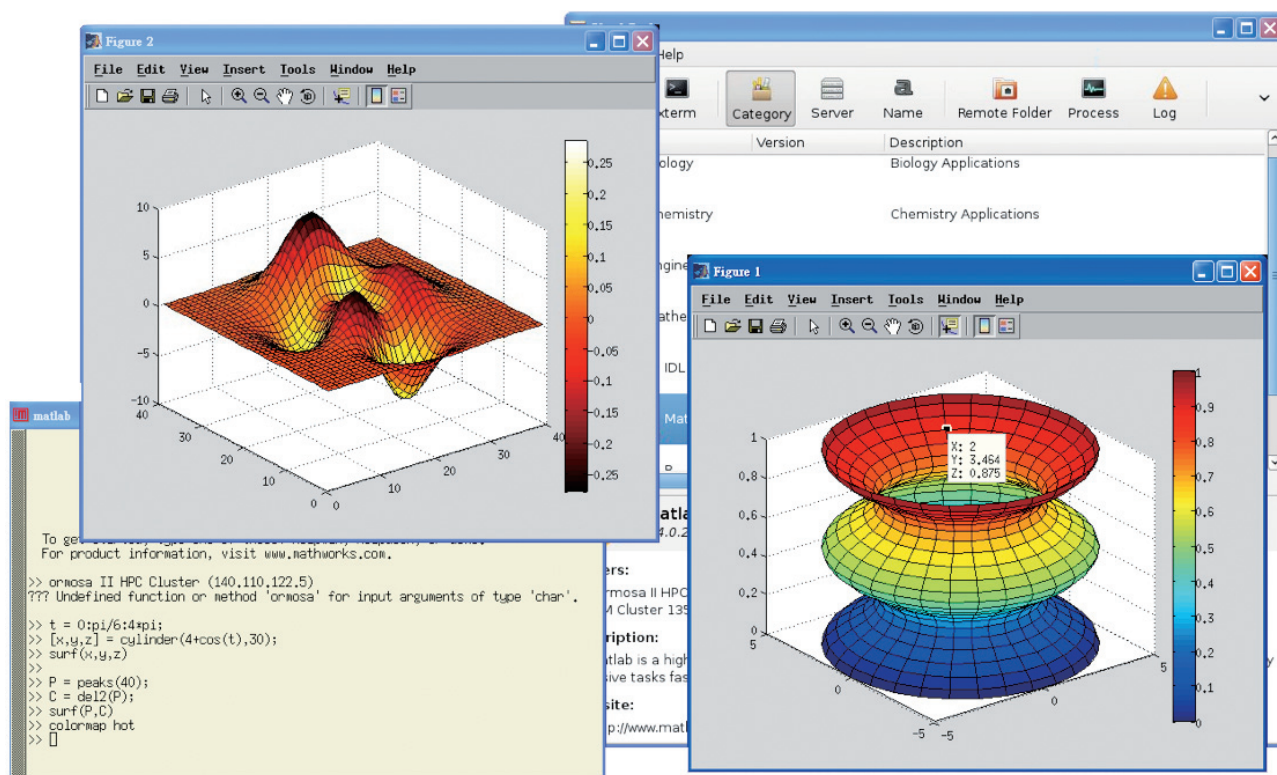


圖4 使用大型主機中Matlab的畫面。

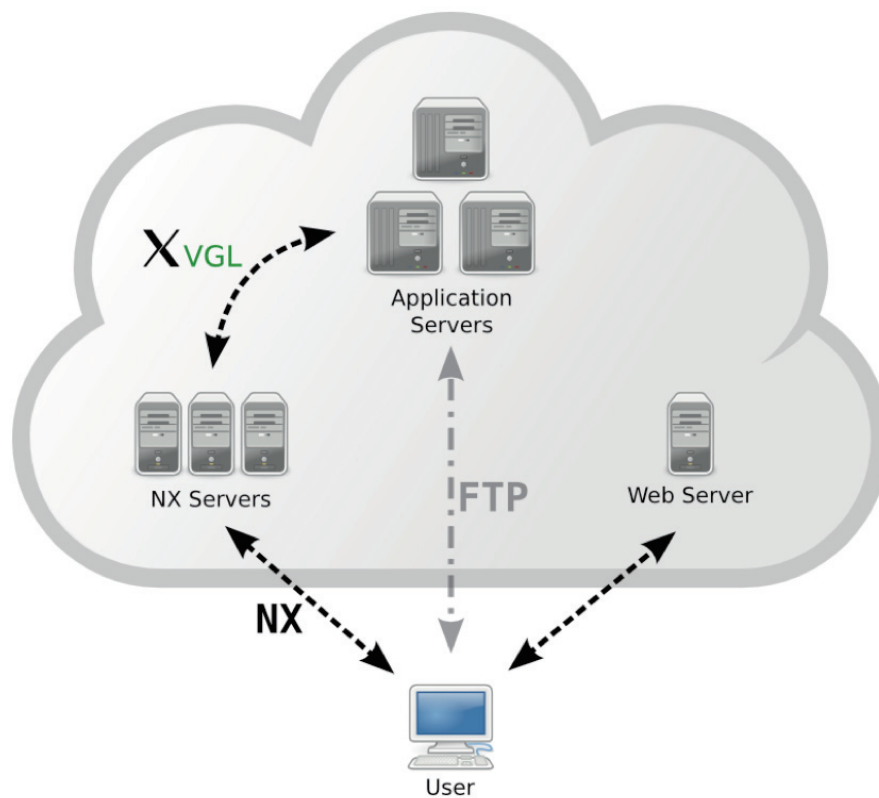


圖5 系統架構 (VGL為VirtualGL)。

3D 雲端計算服務

隨著 3D 繪圖技術與軟硬體的進步，許多應用程式都會使用到 3D 的顯示技術（如 OpenGL 等），不管在各領域的研究上都有 3D 繪圖的需求（例如 NCHC 所提供之果蠅嗅覺迴路三維影像資料庫^[5]），由此可預測 3D 雲端計算將是未來雲端服務的一個重點。

本系統整合 VirtualGL^[6] 技術，亦可執行 3D 繪圖的應用程式，使應用程式直接使用大型主機上的高階顯示卡進行 3D 繪圖，再將繪製的圖形顯示在使用者的螢幕上，由於使用者的電腦只是單純顯示已經繪製完成的 3D 圖像，因此使用者的電腦即使沒有任何支援 3D 繪圖的顯示卡，也可以正常執行大型主機上需要 3D 繪圖的程式，所有繁複的 3D 繪圖工作都由大型主機負責，因此對使用者言，將會是項非常便利的服務。

軟體及資料庫清單

目前本系統提供以下工程、化學與生物等各領域的軟體供使用者使用，其餘軟體尚在整合測試階段，未來將會陸續上線提供服務。

- ANSYS 12.1, 12.0, 11.0
- ANSYS Fluent 6.3.26
- ANSYS CFX 12, 10
- Amber 9, 10
- CFD-ACE+ 2009, 2008, 2007
- IDL 6.4
- Maestro 9.1
- Matlab 7.4
- Mercury 2.3
- MSC Patran 2010, 2008r2

- R 2.9
- Sentaurus TCAD D-2010.03
- XCrySDen 1.5.17
- xterm

結論

本系統提供了高便利性、低網路頻寬需求以及支援 3D 繪圖的雲端服務環境，使用者只需要安裝 Java 即可直接使用大型主機上的應用程式，所有的操作皆為圖形視窗界面，相較於傳統 Unix/Linux 系統以指令操作的方式，大幅減低一般使用者在使用上的障礙。

在使用者的資料上傳與下載的方式上，目前仍以傳統的檔案傳輸協定（FTP）的方式為主，對於非資訊相關的研究者而言，雖然可以使用，但在使用上並不是非常直覺，未來本系統將持續研發，以期提供更完善的使用者介面，推廣更優質的雲端計算服務。

參考資料

- [1] http://en.wikipedia.org/wiki/Cloud_computing
- [2] 謝昌煥、何智雄、莊朝鈞、葉昌偉（2005）「X-視窗介面與網路瀏覽器整合與應用—以網頁自動設定生物化學應用軟體為例」國研季刊第五期，p54~p58。
- [3] <http://www.java.com/>
- [4] <http://www.nomachine.com/>
- [5] <http://211.73.64.34/olfactory/>
- [6] <http://www.virtualgl.org/>

橋墩沖刷即時監測系統之研究發展

文/圖 游騰一、張文鎰、林聖峰、李隆正、蔡惠峰 國家高速網路與計算中心

前言

由於台灣地形屬於海島型氣候，年年又時常遭受颱風洪水之侵襲，這樣的氣候型態使得河川對於橋墩的沖刷情況較為猛烈。近年來時常發生因為橋墩基樁受到嚴重洪水淘刷而裸露，使得基礎承載力及側向承載力不足，導致橋面傾斜，嚴重者甚至倒塌，造成車輛帶人翻覆入水，影響行車以及生命財產安全；雖然近年來世界各地關於河川之橋墩沖刷模式發展日趨進步，但大部分都僅止於規劃設計之用，並無法在第一時間發現橋墩受創導致橋樑不安全時發出警報以及通報相關單位做疏散封橋之動作，這使得發展更多更先進的橋墩沖刷即時監測系統有其迫切的需要，進而能發展為有用之預警機制以減少橋樑災害的發生。

雖然近年來國內外也有開發相關的探測設備如：土層沖刷監測方法及其系統^[1]、以溫度量測河床淘空方法^[2]等等，但是由於各地地理環境上的差異、量測上與裝設方式的限制，且各地遭遇洪水的情況也大不相同，所以相關製造的監測儀器未必適合使用，因此本研究目前正積極研發相關監測設備，目的希望能夠開發適用之橋墩沖刷即時監測系統外，也希望能夠於颱風期間監測獲得重要的橋墩沖刷數據，以協助驗證現有橋墩沖刷

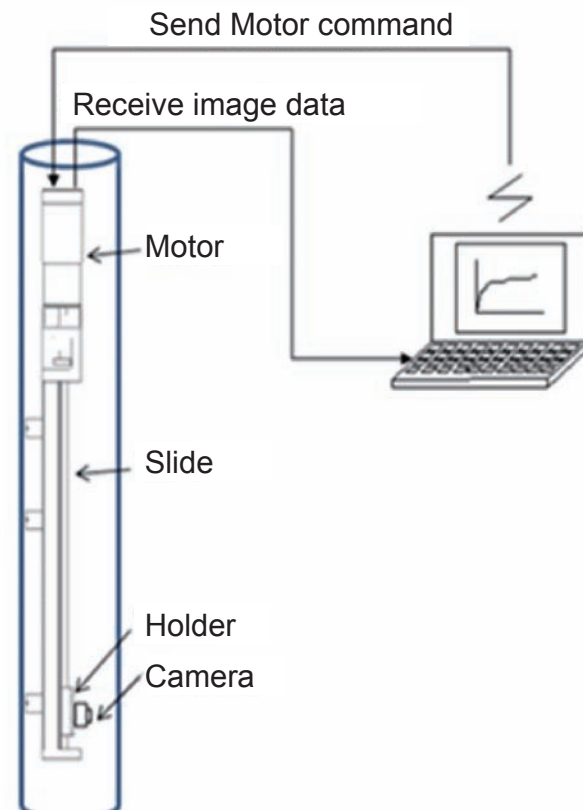
模式之模擬預測能力，以作為防災預警之使用。本研究初步已開發出數種之橋墩沖刷即時監測系統，目前處於實驗驗證階段，本研究係利用台大水工試驗所之試驗大水槽模擬出一沖刷環境，並進行定量與變量流之橋墩沖刷試驗，在多次測試結果顯示之下，不同的系統可對應於不同環境作量測與監測的動作，且量測到的沖刷數據和觀測值相當一致，可證明這些監測系統之可行性。

目前我們所開發出以及已完成實驗階段的橋墩沖刷即時監測系統有三種：（1）自移式橋墩沖刷即時影像監測系統、（2）多鏡頭式橋墩沖刷即時影像監測系統、（3）探針式橋墩沖刷即時監測系統，以下我們將分別簡介這三種橋墩沖刷即時監測系統之主要量測方式、作動機制、構造之概略，以及我們實驗環境當中所模擬的沖刷環境與相關開發與應用之軟硬體介面，最後我們將給予結論與未來展望。

自移式橋墩沖刷即時影像監測系統

自移式橋墩沖刷即時監測系統目前是設置於圓柱型的中空管內（如圖1所示），以方便進行試驗大水槽之橋墩沖刷實驗，其材質則為透明壓克

(a)



(b)

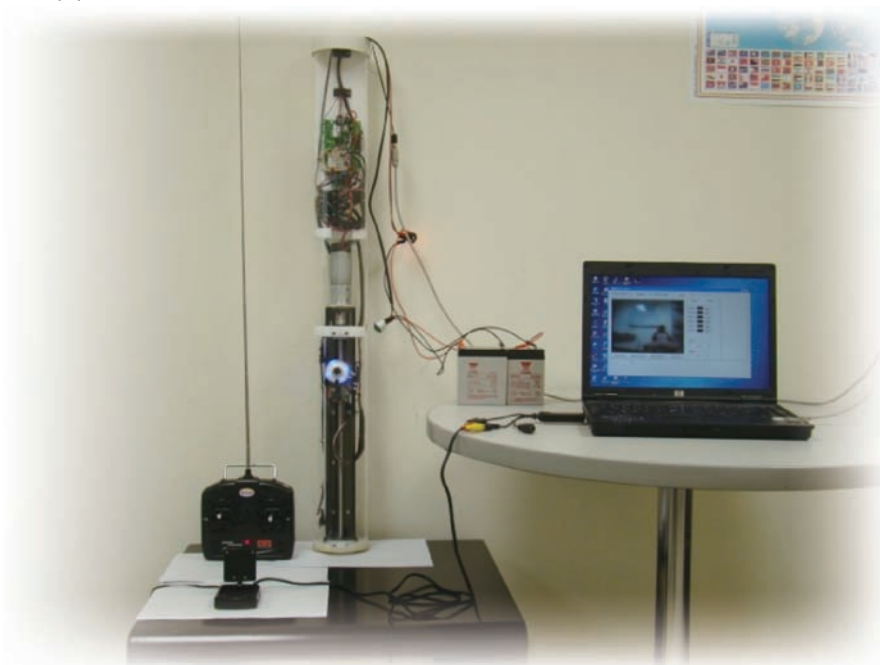


圖1 自移式橋墩沖刷即時監測系統 (a) 系統示意圖；(b) 實體構造圖。

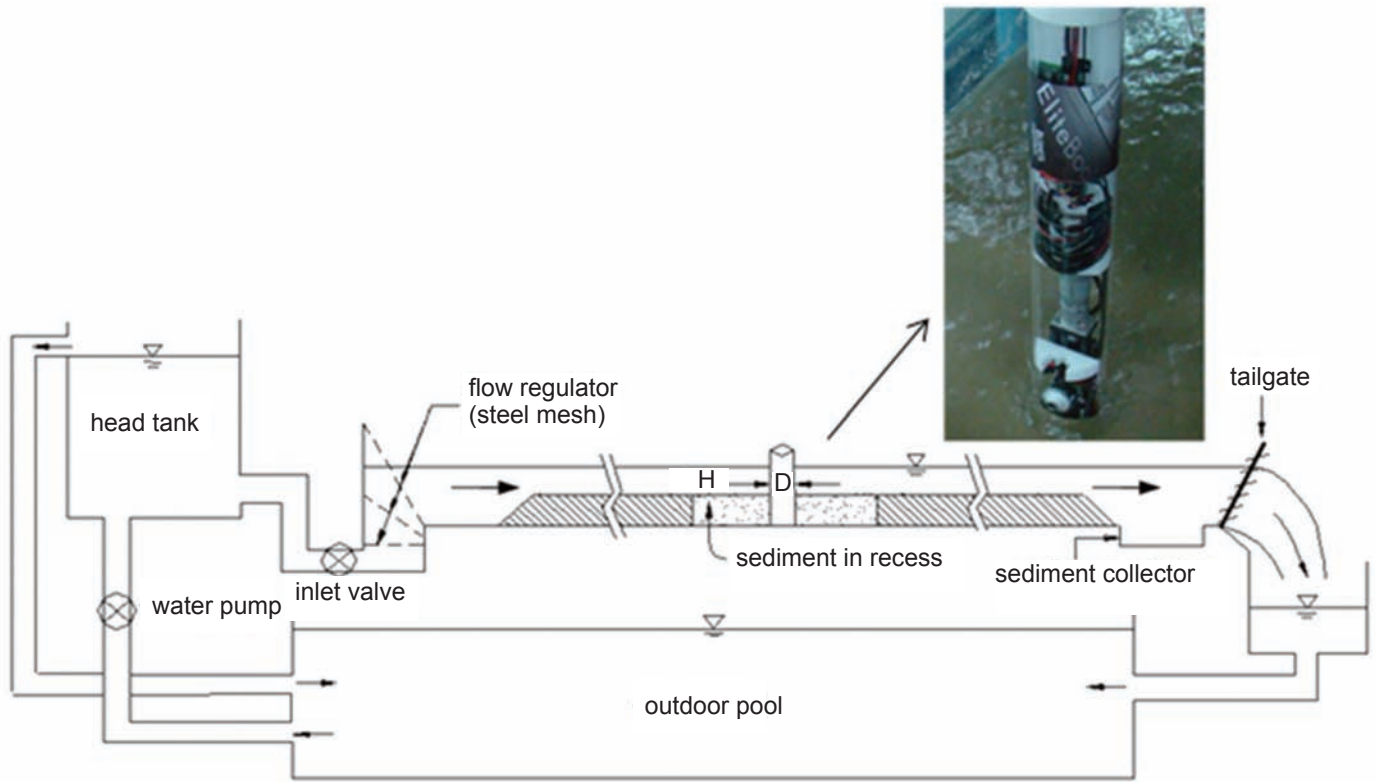


圖 2 本系統於試驗大水槽進行橋墩沖刷即時監測的情況。

力 (acrylic) 管所製成，外徑為 11 公分，長度為 100 公分，管內包含移動軌道、工作台車、攝影鏡頭、藍芽系統、影像擷取卡等；工作台車設置於移動軌道並移動於移動軌道，攝影鏡頭設置於工作台車，用於攝影水面下之底床以取得監測影像，透過影像處理分析監視影像以得知水面下之底床的高程變化，即時監控橋墩底床之沖刷變化。而當沖刷高程超過攝影監測範圍時，此時遠端監控系統透過無線傳輸機制發送台車移動命令，以自動追蹤橋墩底床沖刷的位置。圖 2 所示為本系統於台大水工試驗所試驗大水槽模擬出之沖刷環境，進行橋墩沖刷即時監測的情況。

接下來要說明的是如何利用影像處理的技術來取得沙面的高度，圖 3 所示為啟動影像沖刷辨

識之演算流程圖。首先，在取得時間序列的影像後，不一定需要將每一張的影像序列做處理，在本研究中，我們取一秒的時間間隔來進行影像分析，以節省所需的計算量與記憶體空間。在取得影像後，接下來要進行的是沙面高度計算，如圖 3 中的流程圖所示，影像處理的步驟分別為灰階處理、雜訊過濾 (Gaussian filter^[3])、Sobel 濾波^[4]、Otsu 二值化^[5] (含門檻值計算)、型態學計算 (Morphology^[6]) 以及沙面線高度計算等。而當沙面高度超越了預設的上下界線時 (本研究設定為畫面的 1/5 與 4/5 處)，此時系統自動以無線訊號傳輸方式控制馬達移動工作台車，將鏡頭移至中線位置，以持續即時監測橋墩底床沖刷的位置。

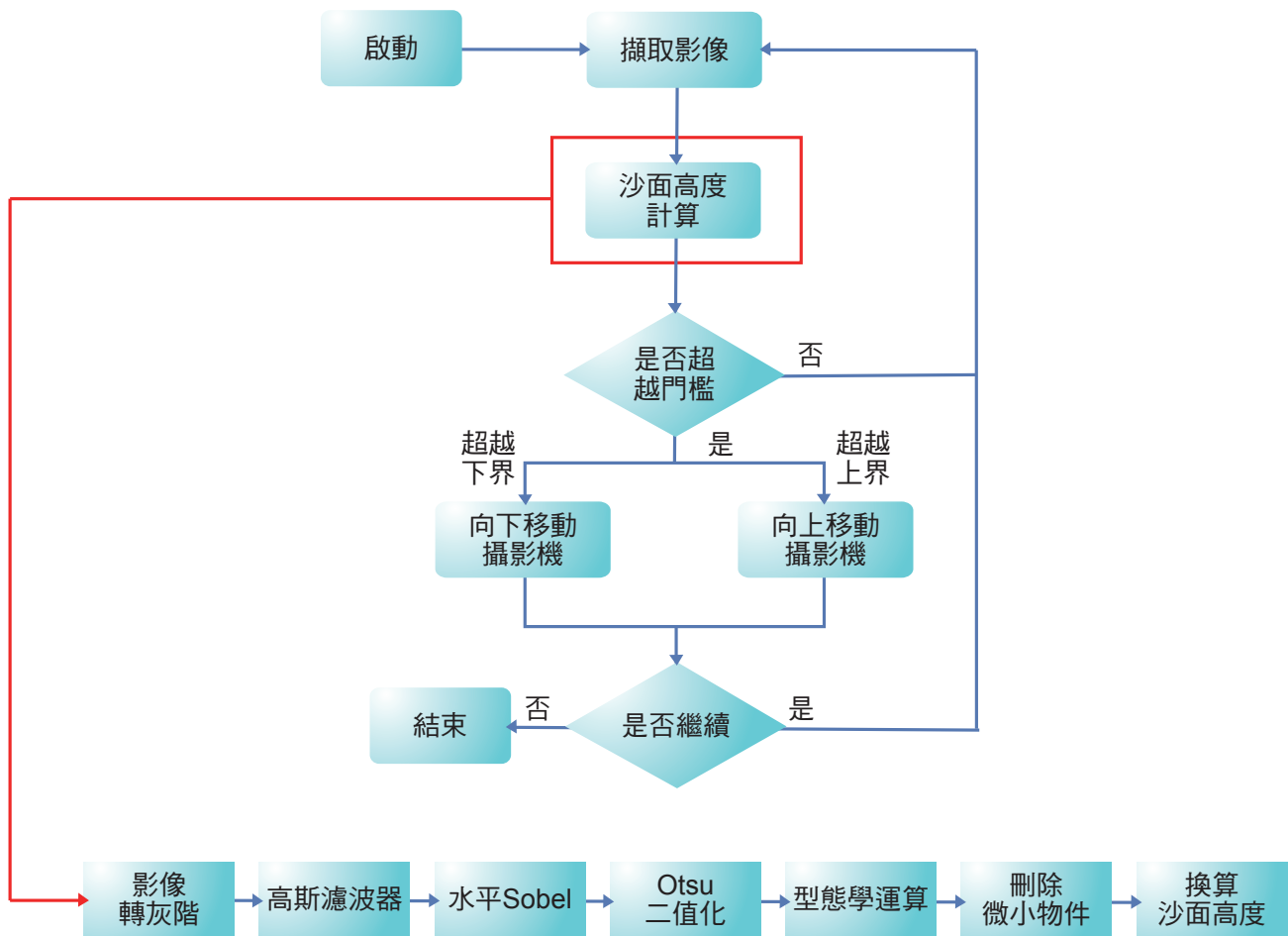


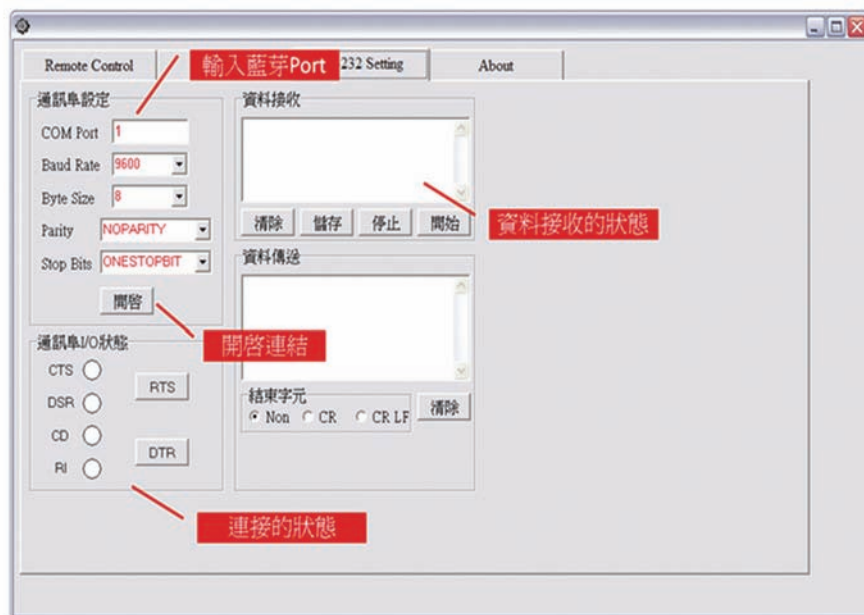
圖3 自移式監測系統之影像沖刷辨識演算流程圖。

本研究自行開發自移式橋墩沖刷即時影像監測系統之控制視窗介面，其外觀如圖4所示，在RS-232Setting控制面版中，可以進行無線藍芽傳輸裝置之設定，將本控制系統與監測儀器進行無線連結，以接收影像資料傳輸與台車移動命令傳送；而在Remote Control控制面版中，主要為影像處理之初始設定以及即時沖刷監測結果的展示。在本系統中，即時的監測影像以及砂面辨識位置可以立即顯示在面版的左邊視窗，而沖刷高度隨時間的變化則是顯示於右邊的折線圖視窗中，透過這些即時沖刷監測資料與影像的輸出，可提供系統使用者進一步於防災應變及預警之使用。

多鏡頭式橋墩沖刷即時影像監測系統

多鏡頭式橋墩沖刷即時影像監測系統與前述自移式即時影像監測系統最大的不同在於，多鏡頭式是以多個鏡頭佈置在垂直方向上以代替自移式的滑軌機制，這是針對自移式的一個改良型，主要是減少馬達帶動工作台車以移動鏡頭之機制上所消耗大量電力，以及由於滑軌與台車在佈置上的成本較高，所以將原本利用滑軌帶動單一鏡頭作上下運動來擷取沙面影像之機制改用數個鏡頭來切換之作動方式代替。這兩個系統各有其優點，例如使用者如果要使用的是高速、高解析且成本較高的攝影鏡頭時，或是希望做連續式、多樣性的監測，則可以選擇自移式的方式來建造，

(a)



(b)

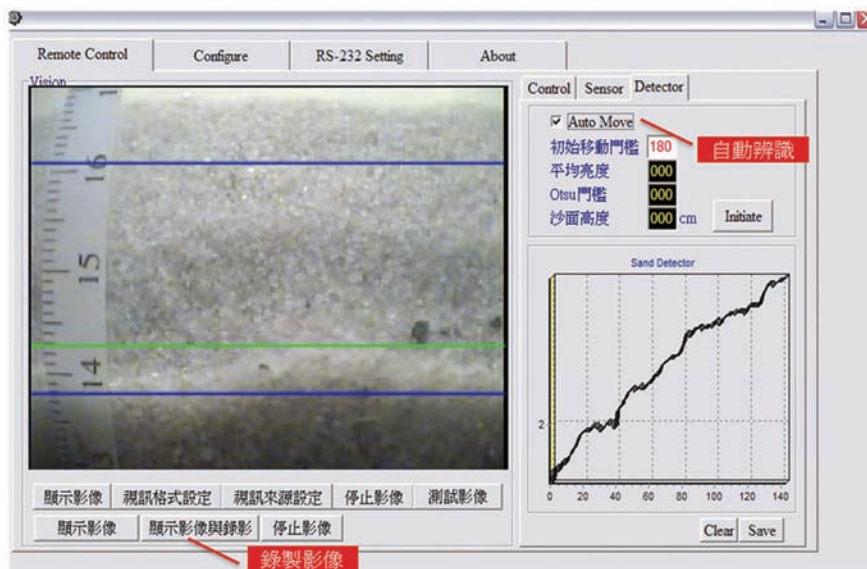


圖 4 自移式橋墩冲刷即時影像監測系統之控制視窗介面 (a) RS-232 Setting控制面板；(b) Remote Control控制面板。

不僅可以搭載攝影鏡頭辨識沙面冲刷的情況外，還可以搭載其他貴重儀器以隨時移動進行監測如濃度或流速等；另一方面，若是使用者想進行分散式大量佈建時，以即時掌握對許多河川以及橋墩的冲刷情況，在考慮到建置成本以及佈建的方便性，則可以選擇多鏡頭的方式。以下我們開始

介紹多鏡頭式橋墩冲刷即時影像監測系統的架構以及作動機制。

為配合實驗室水槽模擬出之冲刷環境，多鏡頭式橋墩冲刷即時影像監測系統與自移式系統一樣，皆裝設於圓柱型的中空管內，管內包含4個

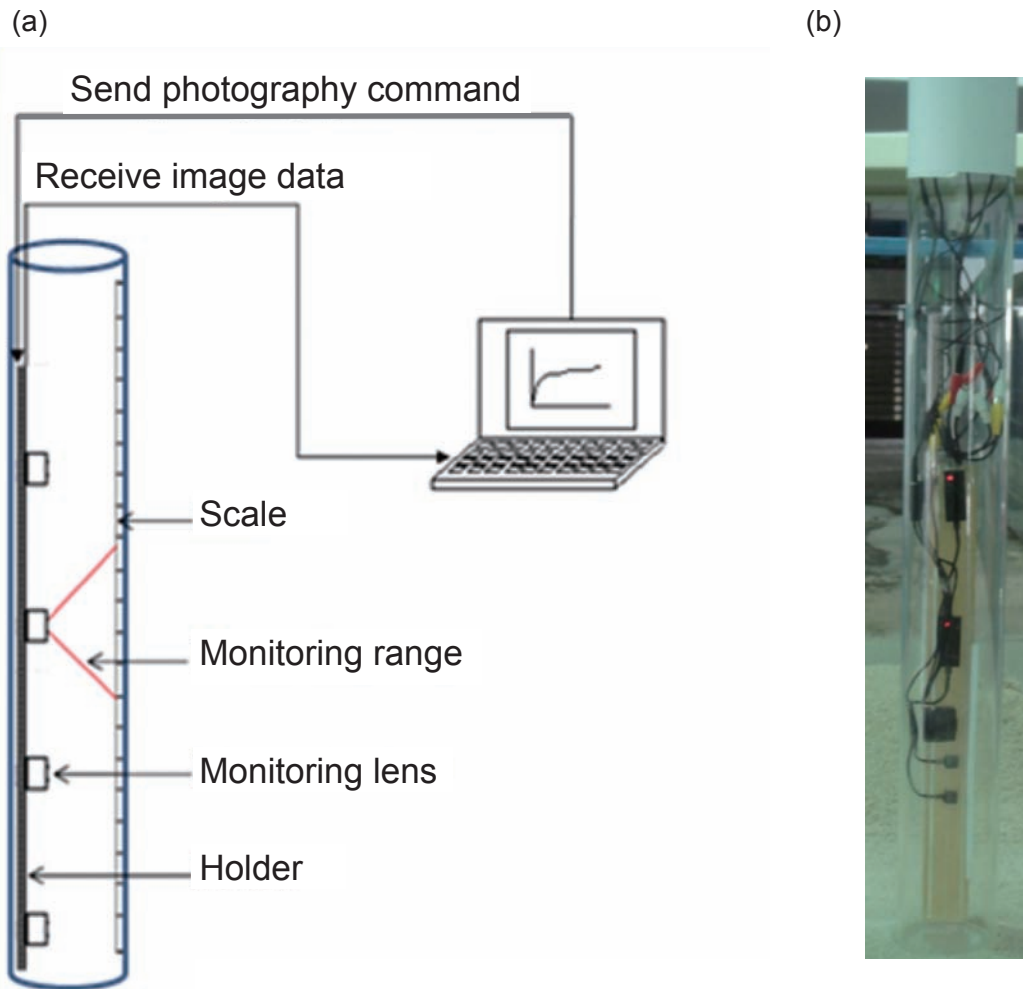


圖5 多鏡頭橋墩沖刷即時監測系統 (a) 系統示意圖；(b) 實體構造圖。

攝影鏡頭、固定架以及量測刻度，其系統架構如圖5所示。在本系統中，多個攝影鏡頭是設置於固定架上，用於攝影水面下之底床以取得監測影像，透過影像處理分析監視影像以得知水面下之底床的高程變化，並藉由傳輸底床之高程變化數據至遠端監控系統，以作為防災應變之使用。

圖6所示為啟動多鏡頭監測系統之影像沖刷辨識演算流程圖，在沙面影像辨識方面，採用與自移式監測系統相同的影像辨識技術，在此不再

贅述；值得注意的是，為節省鏡頭的耗電量，多鏡頭監測系統在監測時，同一時間只會有一個攝影鏡頭開啟並對著沖刷中的沙面位置，而當沙面位置超過該鏡頭的上下界門檻時，本系統可自動切換至相鄰的攝影鏡頭，以持續不間斷地監測橋墩沖刷過程。圖7所示即為多鏡頭橋墩沖刷即時影像監測系統之控制視窗介面，在Setting控制面版中，可以進行每一個鏡頭的啟動以及設定其監視範圍上下界的高程；而在View控制面版中，主要為即時沖刷監測結果的展示。在本系統

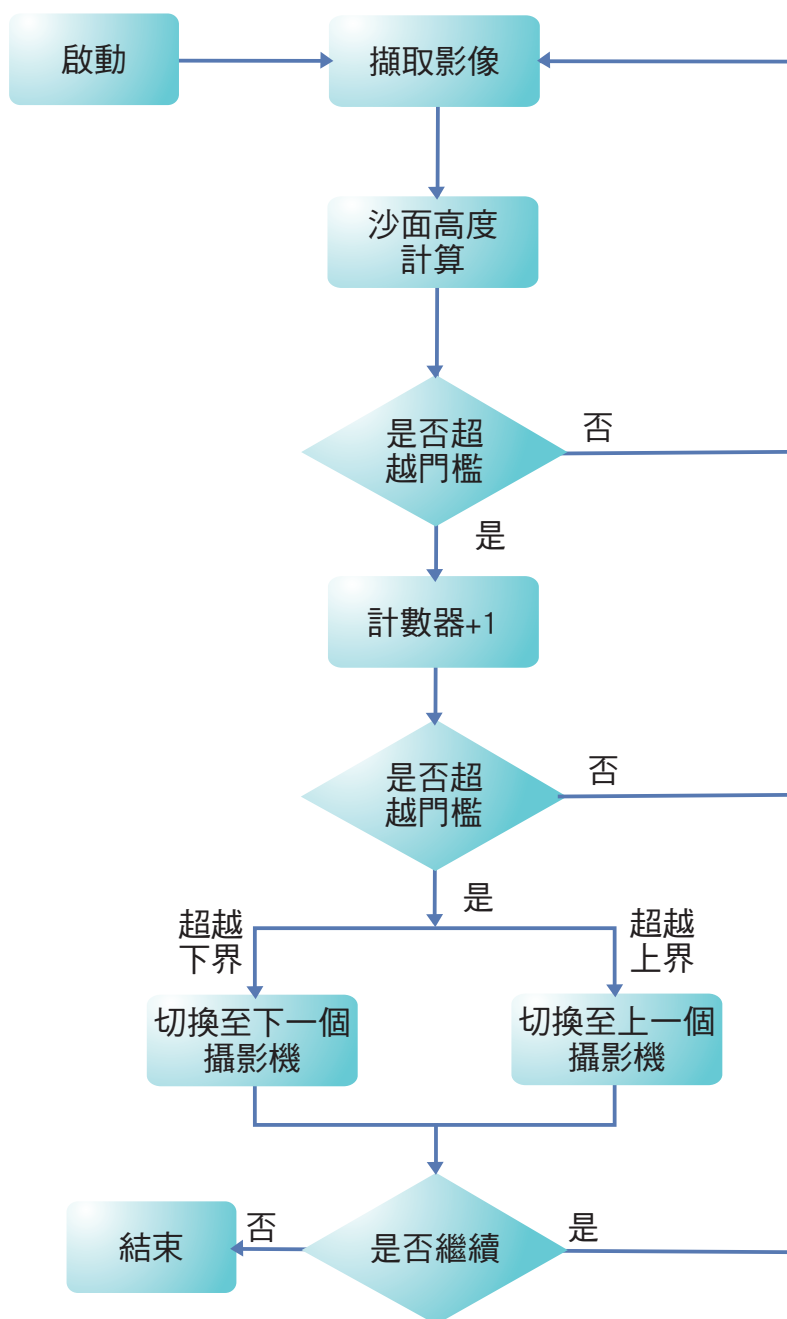
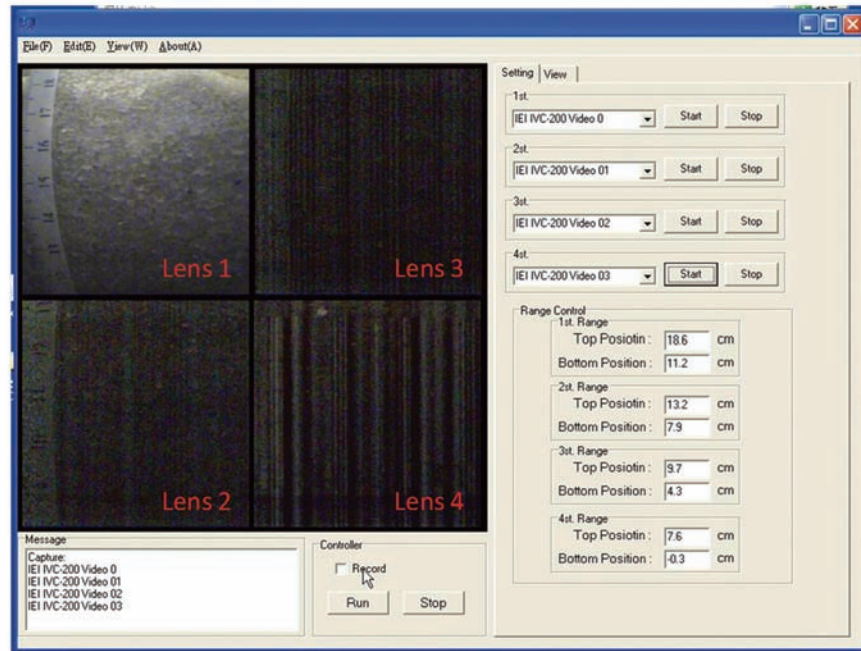


圖6 多鏡頭監測式之影像沖刷辨識演算流程圖。

中，作動中鏡頭的畫面會即時顯示在面版的左邊視窗，圖中顯示的即為第三個監視鏡頭的監測畫面，而即時的砂面影像辨識位置可以立即顯示在面版的右下方視窗，並且將其砂面高程位置隨時

間的變化即時顯示於右邊的折線圖視窗中，透過這些即時沖刷監測資料與影像的輸出，可提供系統使用者進一步於防災應變及預警之使用。

(a)



(b)

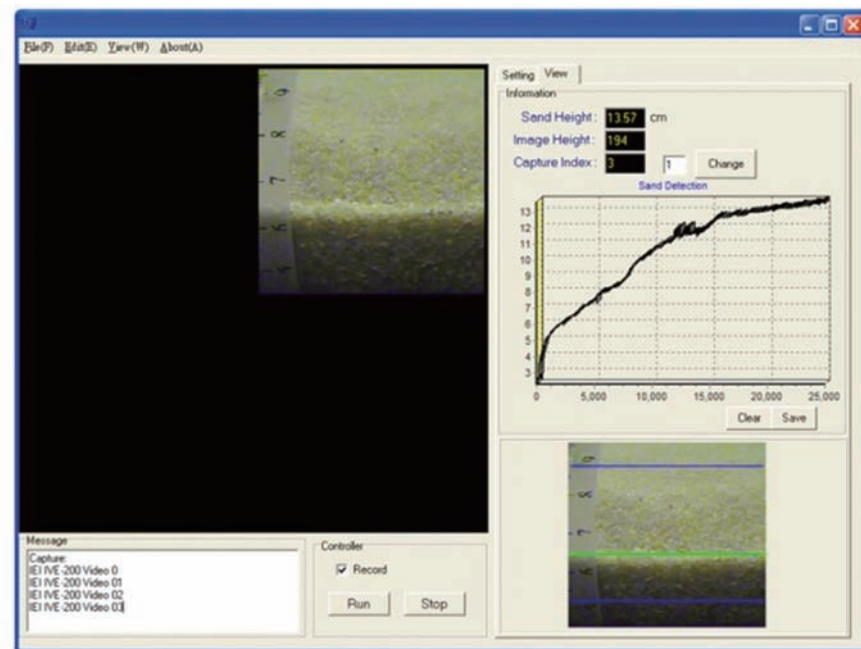


圖 7 多鏡頭橋墩冲刷即時影像監測系統之控制視窗介面 (a) Setting 控制面板；(b) View 控制面板。

探針式橋墩冲刷即時監測系統

一般的橋墩冲刷即時監測系統往往需要在橋墩周圍底床開挖埋設，施工上的困難常常降低其實用性，本系統屬於一種非侵入土體式的橋墩冲刷

即時監測系統，不需開挖土體埋設，並且可進行規律性之量測，於颱風期間，可即時掌握橋墩冲刷深度的變化。本儀器之系統架構如圖 8 所示，

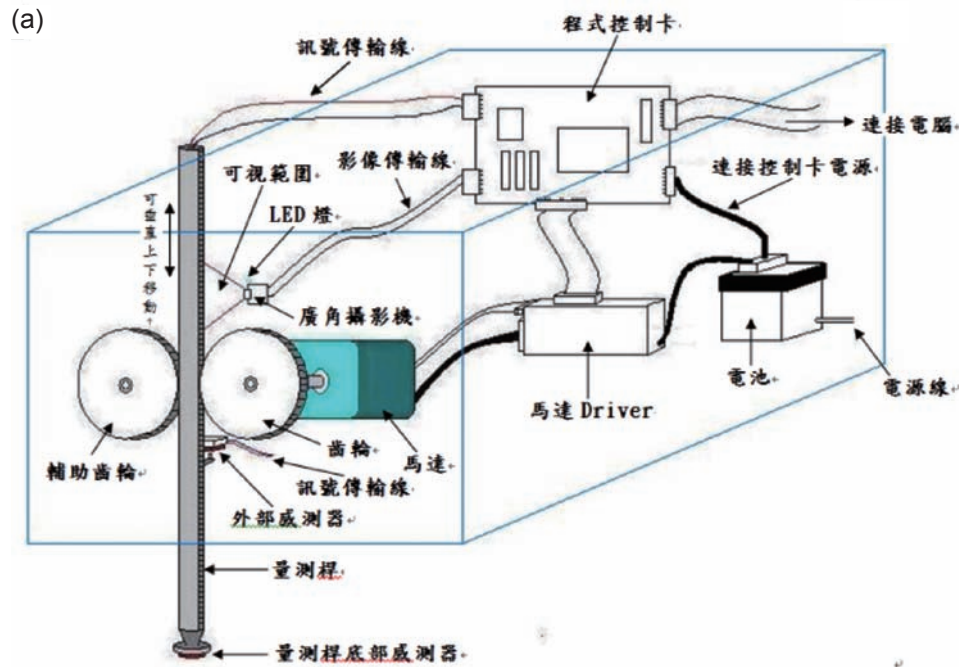


圖8 探針式橋墩沖刷即時監測系統 (a) 系統示意圖；(b) 實體構造圖；(c) 試驗佈置情況。

其作動原理如圖9之流程圖所示，在設定的時間與時間間距中，控制馬達以帶動量測桿往下探測橋墩沙面的位置，當量測桿下方之壓力感測器碰觸到底床，立即傳輸訊號到程式控制卡，以控制馬達停止量測桿移動，此時，可配合計算帶動

量測桿之步進馬達的轉圈數來獲知沙面深度資訊外，也可利用攝影機擷取量測桿上刻度影像進行辨識處理，並以計算晶片計算出沙面深度資訊，如此即可即時監測橋墩底床之沖淤變化。

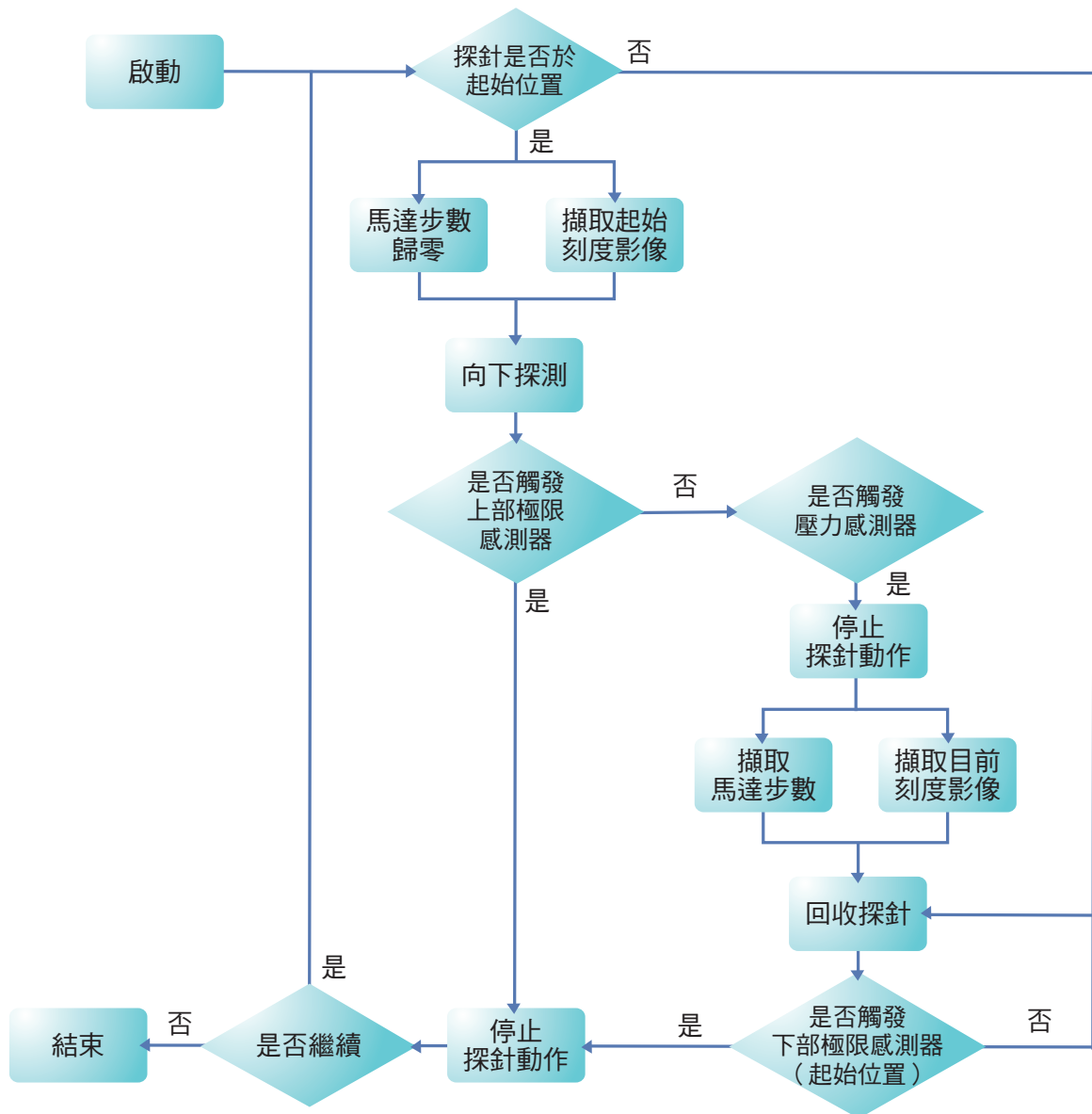


圖9 探針式橋墩沖刷即時監測系統之作動流程圖。

圖10所示即為探針式橋墩沖刷即時監測系統之控制視窗介面，可分為（I）手動測試視窗、（II）實驗表框、（III）圖表視窗。在（I）手動測試視窗中，可分別操作向上及向下來移動探針，測試計算深度之軟體以及探針歸零動作是否作動正常。在（II）實驗表框中，主要為輸入各項控制參數，而一開始皆有預設值，如無特殊需求不需修改，直接可使用預設參數。最後要開始進行即時監測時，按下「Start and Record」

啟動按鈕就開始全程自動化量測並記錄相關數據，實驗所量測之沖刷深度隨時間變化的數據將於（III）圖表視窗中呈現，並將之儲存成文字檔備份，透過這些即時沖刷監測資料的輸出，可提供系統使用者進一步於防災應變及預警之使用。

結論與未來展望

本研究利用非接觸式之影像監測技術，開發自移式與多鏡頭式之橋墩沖刷即時監測系統，來獲

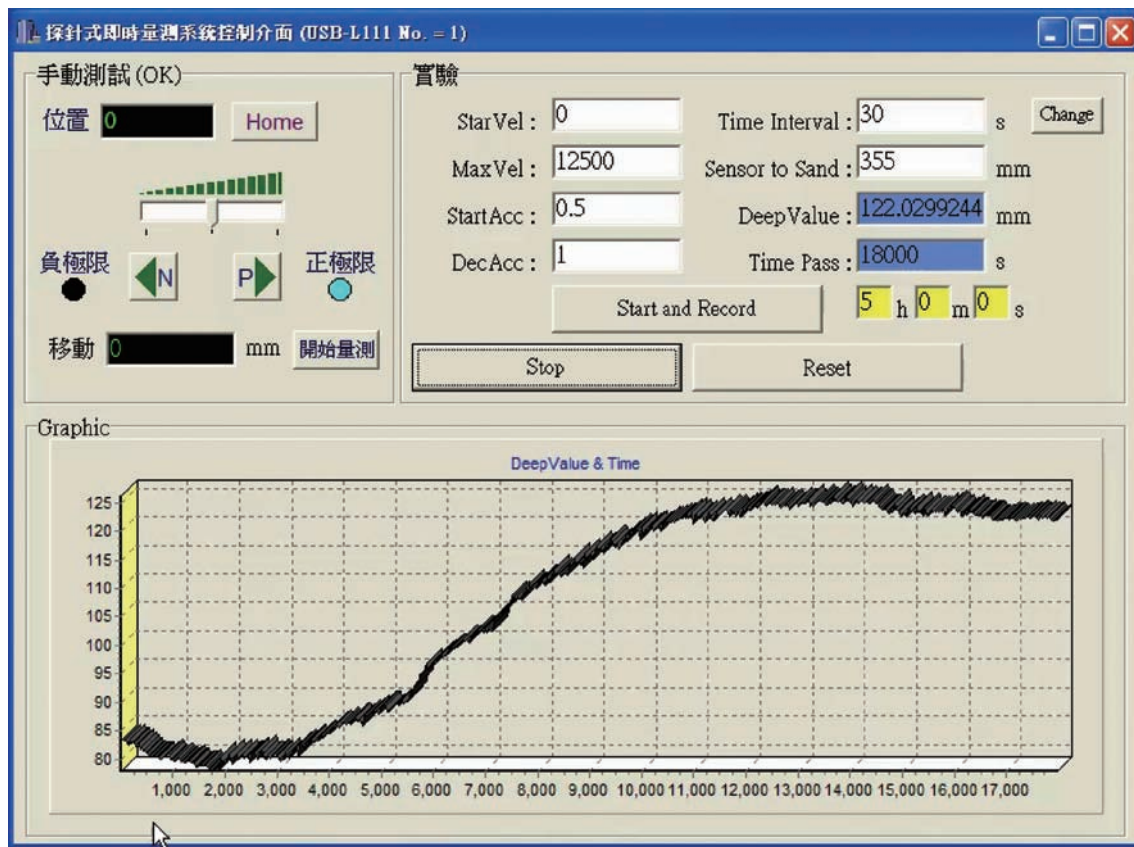


圖 10 探針式橋墩沖刷即時監測系統之控制視窗介面。

得橋墩周圍即時沖刷深度的資訊；另外，並開發非侵入土體式之探針式橋墩沖刷即時監測系統，能與前述兩種監測系統搭配使用，以增加現場實用的可行性。而以上所發展之三種監測系統，目前已經過實驗室之橋墩沖刷試驗的測試使用，顯示出這些系統在實驗室階段的可行性，後續我們將嘗試將這些系統搭配應用至現場的橋墩沖刷監測使用，以獲得颱風期間重要的橋墩沖刷監測數據。除此之外，這些即時資訊將整合橋墩沖刷預測模式的發展，由即時觀測水位與流速資料來提供模擬預測，再由即時沖刷資料來校正提升預測精度，藉由橋墩沖刷深度的即時觀測與模擬預測，可擬定出橋墩沖刷對橋樑安全之影響因子於颱風期間的即時變化，將可建立一套整合性之橋樑監測與預警系統平台，於颱風期間達到即時預

警之動作，保障社會民眾用橋的安全。

參考資料

- [1] 閻嘉義、陳金柏，「土層沖刷監測方法及其系統」發明專利，大陸，專利號碼：01134633.7。
- [2] 鞠志琨、王仲宇，“以溫度量測河床淘空方法”發明專利，中華民國，專利號碼：092118664。
- [3] R.C. Gonzalez and R.E. Woods, Digital Image Processing Second Edition, Prentice Hall, 2002.
- [4] R.C. Gonzalez and R.E. Woods, Digital Image Processing Second Edition, Prentice Hall, 2002.
- [5] Nobuyuki Otsu (1979). "A threshold selection method from gray-level histograms". IEEE Trans. Sys., Man., Cyber. 9: 62-66
- [6] R. M. Haralick, S. R. Sternberg and X. Zhuang, "Image analysis using mathematical morphology", IEEE PATTERN ANAL. MACH. INTELLIG. Vol. PAMI-9, no. 4, pp. 532-550. 1987

國網二維水利計算軟體之研發與整合

文/圖 王聖川、張文鎰、洪國展、李隆正、游騰一 國家高速網路與計算中心

前言

近年來由於全球氣候變遷劇烈，在全世界各地都陸續傳出嚴重災情，如颱風、淹水、土石流與海嘯等，因此防災相關領域之研究日益受到重視，其中又以水理特性之探討最為重要。在電腦運算能力的快速發展下，數值模擬已成為各種探索與預測工作的主要研究工具，而針對水理相關研究方面，目前以水平二維流場模擬之應用最為常見，如潰堤潰壩、淹水模擬、河川彎道流場、河川穿臨界流與河川生物通道流場等，已有不少專家學者發展各式二維模式來探討上述水理現象^[1-5]。在數值模擬的過程中，前置準備作業是重要的一環，其流程包含幾何與計算網格建置以及邊界條件與初始條件設定，尤其網格的品質常常決定了整個數值計算的正確性與準確性，故一個可靠且便利的前置處理工具便會變得非常重要，而這樣的前處理工具更可進一步與國內專家學者發展之各式二維模式整合，使得這些模式的使用能更具方便性與效率。

另一方面，在國內目前已有數種商用的二維計算軟體為學術界與工程界所使用，如 SMS (TABS-2) 模式 (美國陸軍兵工團所發展)、SOBEK 模式 (荷蘭 WL|Delft Hydraulics 所

發展)、MIKE21 模式 (丹麥水工試驗所所發展)、FLO-2D 模式 (美國 FLO-2D 公司所發展) 等，這些計算模式雖然都整合了前處理工具軟體，然其價格從數十萬到百萬元不等，一般學生、研究人員、工程人員並無法取得使用，使得國內學術研究與相關工程分析無法進一步獲得奧援。

因此，本研究的主要目的是發展一套 SurfM2D 使用者圖形界面工具^[6]來提供各式二維模式模擬的前置處理功能，為證明其可行性與實用性，我們先以整合國研院國家高速網路與計算中心自行研發之 NCHC-Hydo2D 二維水理模式為例，客製化模式計算所需之前處理作業，包括格網生成、起始條件輸入、邊界條件輸入以及模式參數輸入等，發展為「國網二維水利計算軟體」，透過本研究的成功案例，除可使讀者了解模式開發與使用者圖形界面工具整合的重要性外，更可將本二維水利計算軟體提供給國內學術研究與相關工程分析使用，使得國內相關研究能全面提升至二維水理分析。本文接下來將依序介紹 NCHC-Hydo2D 二維水理模式的理論背景、SurfM2D 使用者圖形界面工具以及兩者之間的整合與應用，最後再說明我們的結論與展望。

NCHC-Hydro2D 模式介紹

本模式主要為求解二維淺水波方程式^[7]，為了使所發展之水流模式具有捕捉不連續解（如：潰壩震波、水躍、束縮渠道斜震波等）之能力，我們採用中心點之有限體積法進行控制方程式之數值離散，在空間之數值通量採用二階精確之中央差分法來計算，並配合人工數值消散法來增加數值計算的穩定性；而在時間離散方面，模式採用顯式法之 Runge-Kutta 四階算則，在時間演進上為四階精確，使得其數值穩定參數 CFL 上限可由 1 放大到 $2\sqrt{2}$ 。在網格輸入方

面，模式採用多區塊網格系統，以加強複雜邊界的處理能力。另外，本模式設有一個水理參數（Hmin），以作為乾濕底床處理之依據。

本模式之架構如圖 1 所示，包括 8 個輸入檔提供主程式計算所需，以及 5 個輸出檔提供模擬結果後處理分析使用。由於並不是每一個檔案的格式與參數輸入都需要使用者清楚瞭解，因此若是能配合適當的圖形界面來輔助這些檔案與參數的建立，則模式使用的方便性與效率將大為提升，

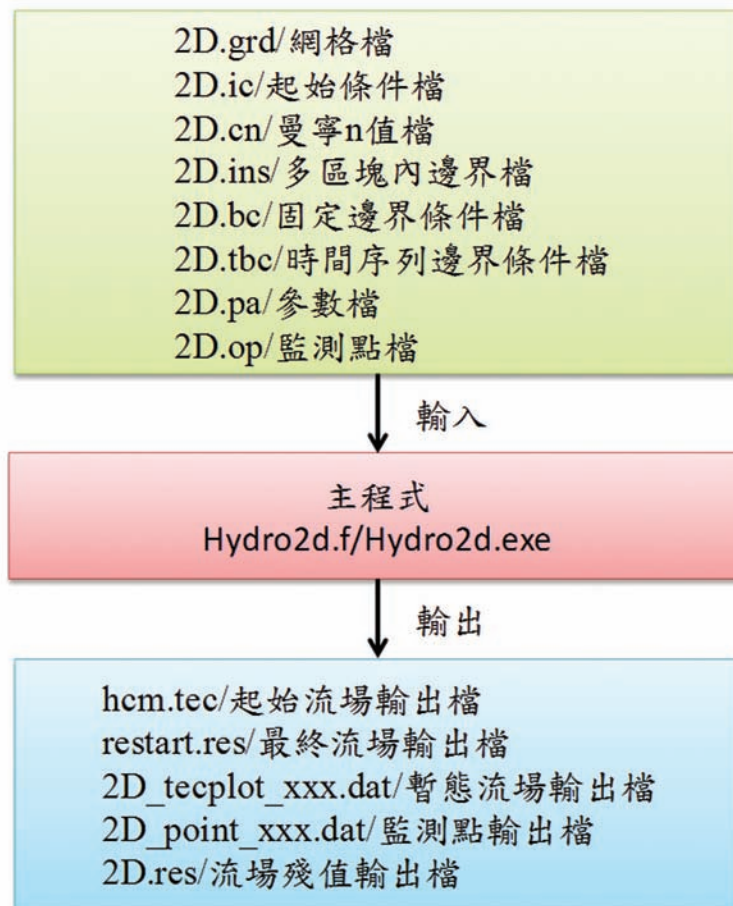


圖 1 NCHC-Hydro2D 模式架構。



圖2 SurfM2D 整體圖形界面外觀。

因此在下節，我們將說明如何應用 SurfM2D 圖形介面來協助本模式應用之前處理作業。

SurfM2D 圖形界面工具介紹

圖 2 為 SurfM2D 界面的整體外觀，其包含 (I) 主功能選單、(II) 工具列、(III) 繪圖檢視列、(IV) 幾何控制面板、(V) 參數設定面板、(VI) 資訊檢視面板以及 (VII) 繪圖互動控制區。以下將對各分區功能作一簡單介紹。

(I) 主功能選單：檔案輸入與輸出、控制列狀態設定、幾何處理與模擬求解器選取，以及系統資訊說明。

(II) 工具列：幾何網格區塊組合、執行模擬工作與系統資訊說明。

(III) 繪圖檢視列：以勾選方式控制繪圖互動控制區中物體之顯示與隱藏，分別可顯示/隱藏點、線段、區塊網格、計算網格、索引編號、背景影像與純量場。除此之外，針對影像可進行透明度控制，而純量場值域的選定則以等值圖方式顯示於繪圖互動控制區中。

(IV) 幾何控制面板：此區塊提供關於幾何控制的許多重要功能，透過物件的新增、選取、編輯屬性與刪除這些動作，讓使用者製作高精確度之計算模型。在幾何控制方面包含點、線、區塊的設定，而在網格方面可針對區塊進行規則/不規則網格的生成與細化。

(V) 參數設定面板：在二維水理模擬進行前，需設定網格參數/邊界條件/初始條件等模擬條件，然而，不同模式所需的輸入內容及格式也

往往不同。此處參數設定面板會根據在主功能選單中所指定之模擬求解器的不同，切換成不同求解器所需要的客製化參數設定界面。

(VI) 資訊檢視面板：此面板用於顯示滑鼠經過的物體資訊。資訊形式包含點、線段、網格區塊、計算網格四類。點資訊顯示滑鼠經過點之編號及 X、Y、Z 座標；線段資訊顯示滑鼠經過之線段編號、線段分類及所有控制點編號；網格區塊資訊顯示經過之網格區塊編號、區塊種類及所有邊界線段編號；計算網格資訊顯示滑鼠經過之計算網格編號、網格形狀邊數（三角形或四邊形）、網格節點編號及其他屬性值。

(VII) 繪圖互動控制區：此區負責系統的顯示與所有互動控制功能，其顯示空間座標軸方向、比例尺。透過與繪圖檢視列的互動呈現點、線段、區塊網格、計算網格、索引編號、背景影

像、純量場等實體影像資訊。透過與繪圖檢視列的互動，使用者可在控制區中進行幾何建置、網格整併、物體選取/刪除等動作。另外也可透過 Ctrl 按鈕的控制進行視野平移及縮放。

SurfM2D 與 NCHC-Hydo2D 之整合：國網二維水利計算軟體

本研究利用 SurfM2D 使用者圖形界面工具來包裝整合 NCHC-Hydo2D 二維水理模式，客製化模式計算所需之前處理作業，包括格網生成、起始條件輸入、邊界條件輸入與模式參數輸入等，並能直接呼叫二維水理模式執行程式，建構為一套「國網二維水利計算軟體」，圖 3 所示即為軟體之整合架構，其中後處理部分，目前我們暫以 Tecplot 商用繪圖軟體為輸出對象。

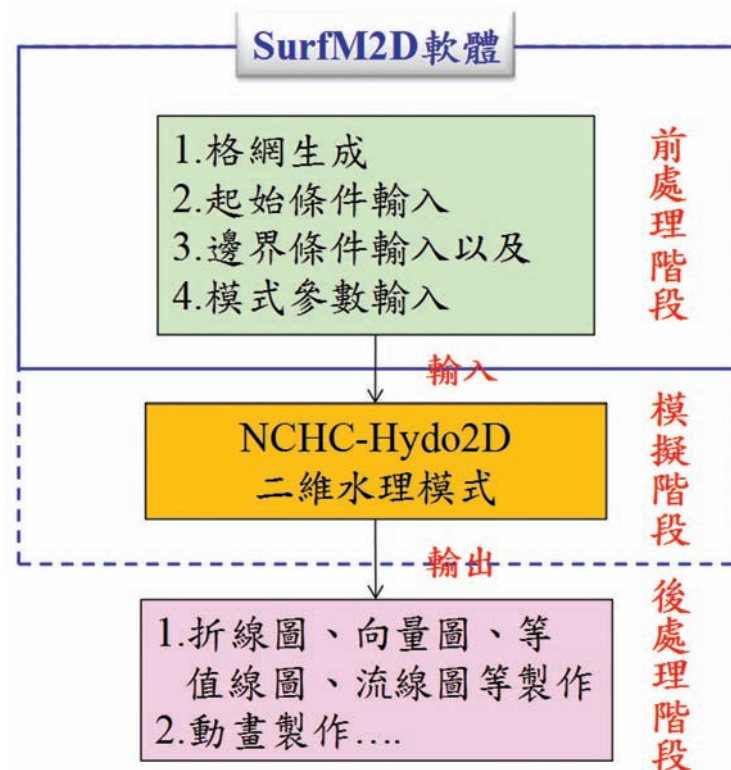


圖3 國網二維水利計算軟體之整合架構。

當使用者在面對一個案例模擬時，首先要面對是網格生成，透過 SurfM2D 之幾何控制面版（如圖 1 所示），使用者將可以製作各種複雜幾何所相對應的多區塊網格資料，而網格資料建立成功後便可以對網格資料設定模式所需要的起始條件（曼寧糙度係數、網格點高程、初始水位/水深、流速）。然後使用者可以針對落在網格邊界處的線段指定邊界條件，邊界條件輸入面板如圖 4 所示，依據流況輸入亞臨界流或超臨界流之流速、水位/水深或流量等條件，而沒有指定之邊界，將自動依預設值（Default 欄位，亦可由使用者選擇）來給定。最後需要輸入的是模擬所需要的模式參數，其包括人工黏滯係數、乾濕點控制參數、計算步數、結果檔輸出次數等，均是在模式參數設定視窗（如圖 5 所示）做控制。而在進行上述步驟中，隨時可將本專案存檔以供日後

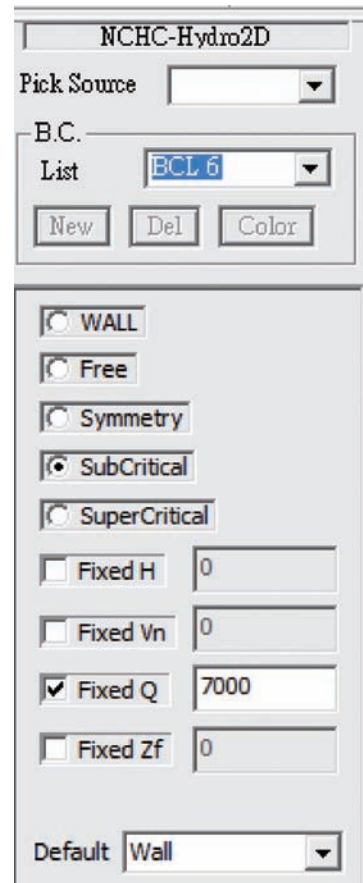


圖 4 SurfM2D之邊界條件輸入面板。

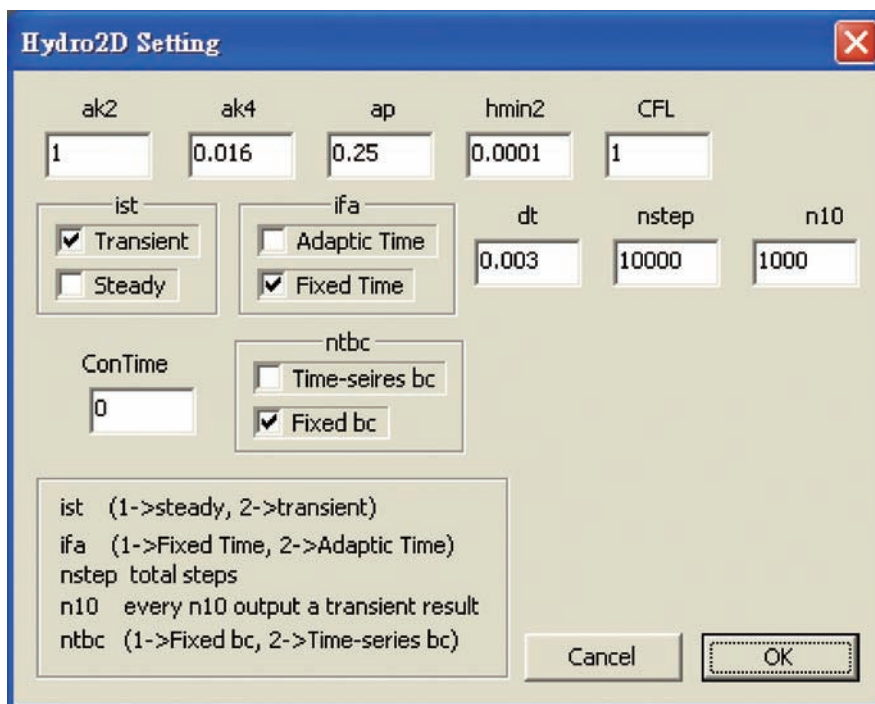


圖 5 SurfM2D 之 NCHC-Hydro2D 模式參數輸入視窗。

的修改使用；而當完成前處理作業後，系統會產生模式計算所需的 8 個輸入檔案，並呼叫計算模式的執行檔以直接進行演算。

應用驗證案例說明

本研究目前已使用本軟體模擬過相當多案例，包括平床無黏性之潰壩流場、下游逆坡之潰壩流場、部分缺口之潰壩流場、下游束縮與高程變化之潰壩流場、圓柱之渦流流場、基隆河圓山段之彎道流場、河川生物通道流場以及宜蘭牛鬥橋段之洪峰流場等，驗證結果顯示，本軟體可合理模擬流場乾溼點的變化、穿臨界流流況、超臨界流之斜水躍流場以及處理不規則底床高程變化的能力，基本上已滿足一般學術研究與工程應用的要求。圖 6 所示即為基隆河圓山段彎道流場案例之前處理畫面，在本案例中，我們載入河道地形量測資料點，再利用界面提供的內插功能以獲得模擬區域的底床高程資料，此舉大大的簡化過去網格編製的困難度，使得模式對於現場案例的模擬能力大為提升。圖 7 所示為象神颱風洪峰期間之河川水位模擬結果，藉由與此河段七處水位站的監測資料相互驗證與分析，可達到現場實務應用的目的。

結論

本研究以 HCHC-Hydro2D 模式與 SurfM2D 圖形介面之整合應用為例，建構一套「國網二維水利計算軟體」，說明模式與圖形介面之整合可以有效簡化計算模式的前處理流程，縮短整個模擬案例的時間，並提升現場案例的模擬能力，達到現場實務應用的目的。事實上，本研究所發展之 SurfM2D 前處理圖形化使用者界面，已經將一般二維水理計算模式所需之前處理建置功

能整合，因此除了 NCHC-Hydro2D 模式外，SurfM2D 亦與台大水工所發展之 SFM2D 模式進行整合之合作並開始測試使用。而目前我們仍持續發展並朝向與更多二維模式進行整合開發，如近年新發展之時空守恒法的 CE/SE 二維模式。

而為了促進國內水利產業提升，加速國內學術研究成果能落實民生應用，本研究將於國研院國網中心網站提供國網二維水利計算軟體之執行安裝程式供下載測試使用，希望能有更多使用者利用本軟體進行學術研究與相關工程分析使用，使得國內相關研究能全面提升至二維水理分析。

參考資料

- [1] 廖清標、何宗霖、劉冠宏，「以半離散中央上風法模擬潰壩問題」，第十八屆水利工程研討會，屏東（2009）。
- [2] 郭文達、賴進松，「有限體積逐分量 TVD 算則於淺水中污染物傳輸模擬」，第十七屆水利工程研討會，台中（2008）。
- [3] 塗宗明、謝德勇、楊錦釧，「水深平均二維隱式水理模式乾床處理之研究」，第十七屆水利工程研討會，台中（2008）。
- [4] 張德鑫、林淦勛，「二維水理模式之模擬與現況探討」，第十七屆水利工程研討會，台中（2008）。
- [5] 鄒禕、鄭仁傑、張維倫，「二維淹水模式結合雷達降雨資料之研究-以東港溪為例」，第十八屆水利工程研討會，屏東（2009）。
- [6] 洪國展、王聖川、張文鎰、游騰一、李隆正、賴進松，「二維水理模式前處理輔助系統之開發與應用」，第十九屆水利工程研討會，雲林（2010）。
- [7] 張文鎰、王聖川、游騰一、洪國展、李隆正、賴進松、蔡惠峰，「NCHC-Hydro2D 模式與 SurfM2D 圖形介面之整合發展」，第十九屆水利工程研討會，雲林（2010）。

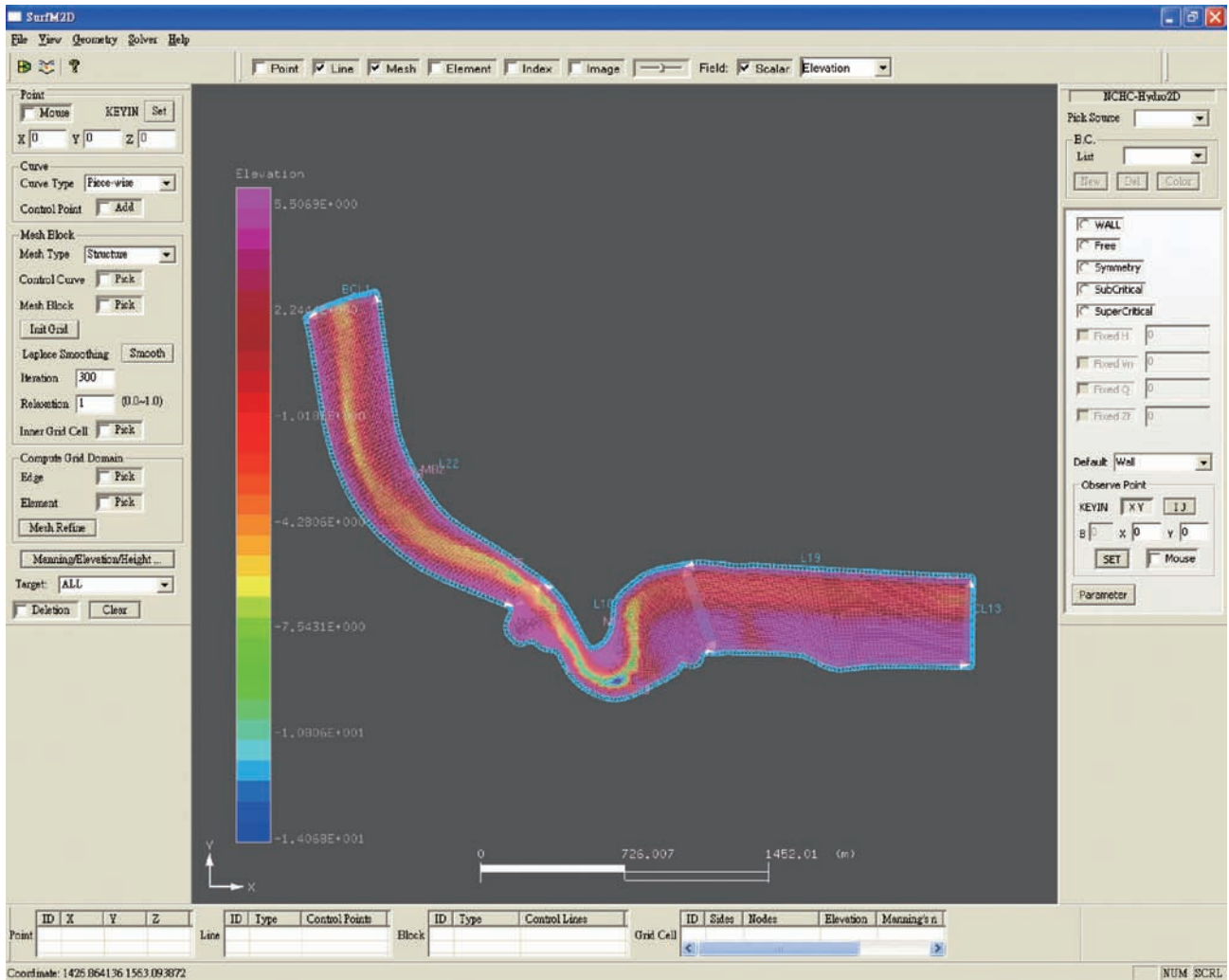


圖6 基隆河圓山段彎道流場之網格編製。

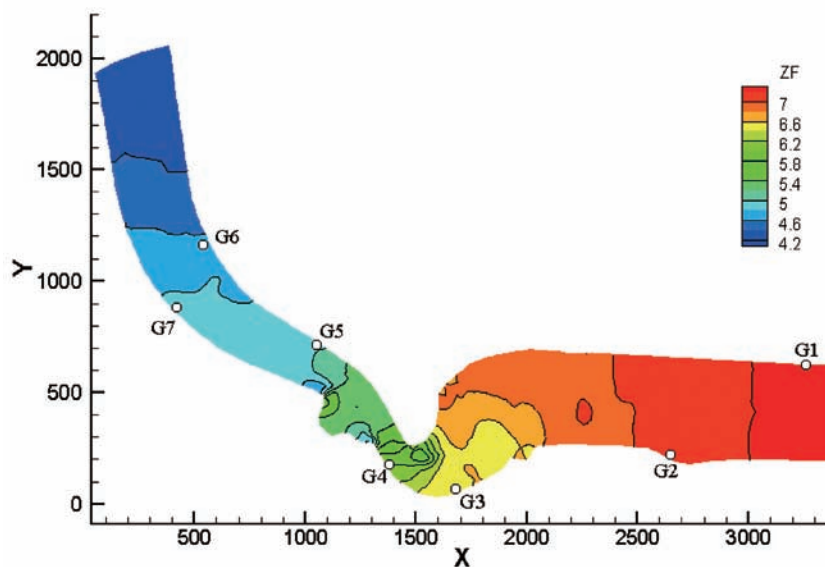


圖7 模擬之水位高程變化。

人物專訪

Feature Person

扎穩基本功 軟實力主導創新格局

專訪國家高速網路與計算中心 江國寧主任

文 國家實驗研究院 / 圖 江國寧 國家高速網路與計算中心



全國唯一的高速網路與計算中心，在全球資訊科技日新月異的浪潮中，轉型已成為必經之路。站在岔路口，國網中心江國寧主任以國際的視角定位了中心的未來。「台灣就只有一個國網，我的目標就是把他推上國際，而軟實力和深度的模擬技術（simulation technology）就是我們要走的路。」江主任說。

在學術上擁有多項榮譽肯定的江主任，想像中應和許多成功者一樣，有著娓娓道來的奮鬥故事，但他卻坦率地說，小時後沒立定過什麼志向，人生充滿偶然，每個轉角，卻都看到不同的天空。

生長自軍人家庭，江主任在楊梅的眷村長大，棒球場是他揮灑青春的主舞台，直到高三才驚覺再不念書就沒學校可念。但回想起當時，對未來要走的路，其實連方向都沒有。大學聯考雖不預期的進入成大造船系，但在潛移默化中奠定了力學的基礎；家境並不寬裕的他，在留學風潮的鼓舞下，退伍後累積了一年工作經驗與積蓄，在獲得美國喬治亞理工學院的獎學金後，帶著僅有的六千元美金，便赴美攻讀機械工程。

於喬治亞理工學院攻讀博士時，適逢超級電腦

問世，當時的指導教授正是建造美國第一代超級電腦的先驅，這樣的機緣把江主任帶入了高速計算的世界，不僅參與建置超級電腦的相關工作，1989年更以「高速平行運算」發表博士論文。畢業後，高速計算的啟發又將他帶往軟體研發的創意工作，於全球著名的計算力學軟體公司MacNeal-Schwendler Co. 擔任關鍵研發人員，開發出全球最卓越的電腦輔助工程軟體MSC/NASTRAN，可廣泛應用於航空、汽車、船舶及機械等工業，成功實例小至隱形眼鏡，大至美國太空梭，並成為美國FAA飛安標準唯一認可用以取代實驗的分析軟體。至今全球已累積45個國家，超過50,000名使用者，更是各國大學用以教授有限元素分析方法或電腦輔助工程分析的重要工具。

返台後，江主任曾至國網中心（昔稱國家高速電腦中心）從事五年研究工作並擔任應用研究組組長；在清大任教時期，利用科學園區之產業優勢，鑽研半導體封裝與電子元件的模擬分析、可靠度評估理論與驗證等，並協助產業開發出可應用於各式行動裝置（如手機、數位相機等）的Fan-out WLP（擴散型晶圓級封裝）技術，使晶圓封裝在微小化的同時也能維持可靠度。十年耕耘有成，讓江主任因此屢獲國科會傑出研究獎

(2003-2006)、ASME Fellow (2004)、2009 IEEE 研究傑出貢獻獎及 IEEE Transactions CPMT 期刊主編 (2010) 等殊榮之肯定。

從造船、機械、高速計算到半導體，看似在研究路上不停轉彎的江主任，其實核心技術從未改變—以模擬為基礎 (simulation-based) 的計算力學。走至生涯的新轉角，2010年接任國網中心主任一職，江主任眼前是全然不同的挑戰。

「全球的高速電腦中心正面臨同樣的危機。現今的電腦運算速度太快，使用者未來在自己的實驗室就能建置小型的超級電腦；那麼，國網未來能吸引使用者的就不再是設備，而是因為我們有專業的軟體和技術，可以協助使用者進行更先進的計算模擬。」因此，江主任有系統地帶領中心善用優勢，發展適用特定領域特質的雲端中介軟體，建置科學與工程知識庫，日後將開放給全國、甚至全球使用，一步步將影響力擴及國際。

「台灣是電腦王國，要建構超級電腦並不難，但若不運用軟體來提升運算效能，在國際上就會失去競爭力，沒有一個強國不重視軟實力的。」以模擬來說，在國內只是理工科系的一門課，但美國卻投入大量的研究資源，精進技術與準確度，把各類型的模擬能力提升到國防與國家競爭力層級，最終成為制定與主導全球標準的國家。因此江主任主張，國網建造 FORMOSA 叢集電腦的腳步不能停！目前 FORMOSA III 已建置完成，FORMOSA IV 和 FORMOSA V 的雛型也在規劃中，同時配合相關軟體與技術的研發，一步一腳印，才能逐漸提升國家的科技實力。

洞察局勢、確立目標、計算攻頂的最佳路徑與時間；江主任的作風充分詮釋了「計算」的邏輯與美



江國寧主任與夫人合影留念。

學，想當年服兵役時，就是靠著近水樓台的地利之便，加上唐詩點綴的浪漫情書，成功打動夫人。連最經典的求婚記，也在旅美攻讀碩士時，透過越洋情書浪漫上演。

雖然主任常笑稱，學術研究是一場耐力戰，學生半夜一兩點跑進研究室找他根本是家常便飯，但最珍惜的仍是與家人相伴的時光。每到晚餐時刻，江主任一定先放下手邊工作和家人共度，同時陪伴孩子修習課業。即使曾面臨叛逆期，也堅持聆聽與溝通是唯一法門，「別讓孩子關上心門，一旦關上門可能就失去了對話的機會，就算再花十倍心力修復，也許都只能回到斷裂點。」轉眼兒子即將大學畢業，對自己的生涯規劃早有定見，對此江主任從不設限；而從孩子身上參透的哲理，江主任也將以同樣的包容與耐心，陪伴同仁走過轉型的衝擊。

從危機中開創轉機，江主任本著核心技術向下扎根的觀念，確立大方向、畫出路線圖，把困難當作轉型途中的必經之路；相信只要動手做，目標就不遠。而當務之急，就是激勵同仁拉高志氣，把視野放在國際，積極練好硬體技術和軟體研發的基本功，開創出有意義、有價值的成果，在國網中心跨越 20 年後的下一哩路，開創主導創新的契機。

光學遙測衛星簡介

文/圖 張志立 國家太空中心

從 Landsat-1 衛星（如圖 1，解析度 79 公尺）發射以來，Landsat 系列衛星可說是全世界壽命最長的系列衛星計畫之一，並可稱得上民用（遙測）衛星之始祖。

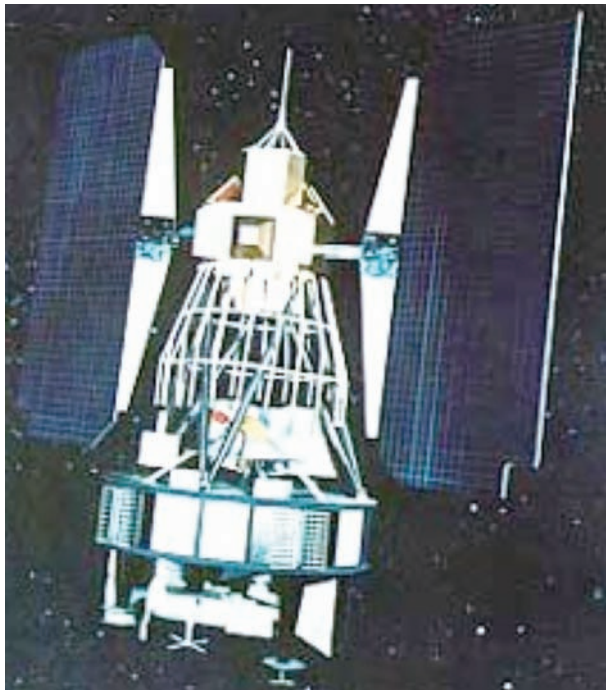
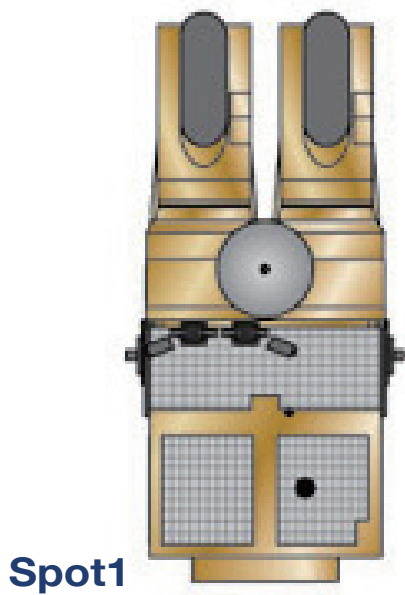
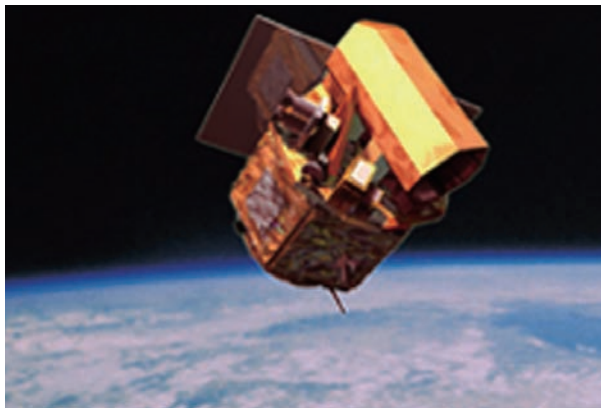


圖 1 Landsat-1 衛星 (<http://zh.wikipedia.org/zh-cn>)。

該計畫的起源可追溯到美蘇冷戰期間，1960 年美國為了取代 U-2 偵察機，以 Corona 衛星飛越蘇聯上空執行無人拍照任務，於 1960 年-1972 年前後約十二年間，美國情報單位輕易地收集到廣大蘇聯等共產地區的類比照片資料，以研判無價的軍事情報，對西方民主陣營的鞏固貢獻頗巨。1995 年 2 月美國總統柯林頓簽署一項行政命令後解密，部份相關的資料及所拍攝的老照片，展示於航太博物館，民眾前往美國華府旅遊時，很值得順道前往參觀這批珍貴的資料。1972 年第一顆 Landsat 升空，開啟了民用衛星之數位遙測的新紀元，到 1999 年發射 Landsat 7 共發射了七顆衛星。法國於 1986 年 2 月也跟進發射 SPOT-1 衛星（如圖 2，解析度 10 公尺），成功地席捲了早期全球商業衛星影像市場。我國於 2004 年推出全球唯一每日再訪之遙測衛星 - 福衛二號（如圖 3，解析度 2 公尺），目前正由國研院整合太空中心、儀科中心與晶片中心，結合微像科技股份有限公司、中山科學研究院、鑫豪科技股份有限公司、漢翔航空工業股



Spot1

圖2 Spot 1 衛星 (<http://smc.cnes.fr/SPOT/index.htm>)。圖3 福衛二號衛星 (<http://www.nspo.org.tw/tw/>)。

份有限公司等研究單位與廠商共組國內團隊自主發展酬載儀器，將裝置於自主研發之福衛五號衛星，繼續服務福衛二號之使用群。近期來，美國挾其衛星高科技研發能量之優勢，陸續推出高解析度光學遙測衛星群（其中之一如圖4：

IKONOS 衛星，解析度優於 1 公尺），打開更大的全球商業衛星影像市場。

這一系列的光學遙測衛星之影像資料被很廣範地使用，我國政府單位使用情形如：內政部地政司製作地圖；農委會農糧所預測農業生產；環保署偵測環境變遷；經建會規劃國土綜合開發、分析土地利用狀況及都市、城鄉開發；交通部規劃陸廊選線；經濟部水利署規劃水利設施及管理水資源；內政部營建署各國家公園管理處規劃及管理生態保護區；農委會林務局監督林相變化、用短波紅外光穿透煙霧偵測森林火災；農委會水保局防止山坡地濫墾；交通部觀光局用熱源紅外光探勘溫泉地熱所在地等。

美國谷歌（Google）公司更於網路上設立 Google Map 及 Google Earth 平台提供免費的高解析度衛星影像地圖，讓全球旅遊、地圖資訊更為便捷地流通，嘉惠全世界網友。

圖4 IKONOS衛星 (<http://www.satimagingcorp.com/satellite-sensors/ikonos.html>)。

活動報導

Activities

2010 台灣奈米科技展活動報導

文/圖 黃心寧 國家奈米元件實驗室

2010 年「台灣國際奈米週」已於 2010 年 10 月 7 至 9 日假台北世貿一館開幕並盛大舉辦，參展廠商攤位約 180 個，大會規劃「全國奈米科技應用競賽」、「奈米生醫法規專家深度座談會」、「奈米化醫療器材快速商品化論壇」、「奈米生醫法規國際研討會」、「奈米產品商機論壇」、「奈米科技產學研究合作推動論壇」等同期一系列的技術論壇與座談會活動進行，其中亦包含國內外具奈米技術與產品的廠商一同參與本次活動。另，展場特規劃奈米科普教育，吸引各校組團參訪，吸引上萬名參觀民眾踴躍入場共襄盛舉。

奈米週活動主題聚焦於「光電」及「能源」兩大領域，大會建置了「奈米光電能源主題館」，以軟性顯示器、高亮度光源、新一代太陽電池、高性能電池/電容器、可廢熱利用之熱電元件五大熱門產品為主軸，結合未來應用情境圖，以多元化方式讓民眾親身體驗「奈米科技」與未來「光電」、「能源」發展趨勢之關聯。另設有「政

府館」、「奈米生活館」、「奈米工具儀器專區」、「國內企業區」、「國外企業區」，匯集各國奈米廠商參與，展示各類多樣化奈米產品及奈米儀器設備，落實應用在民生或工業產品上，使人類未來生活更健康、更便利。

奈米觀念一直是與參觀民眾保持距離，想了解奈米世界的神奇現象，只有親自來訪並動手體會，才能走出奈米世界的迷失。透過今年「台灣奈米科技展」這樣一個很好的奈米成果展示平台，參觀民眾就可以親身體驗奈米產品是如何與大家的生活息息相關。國研院奈米元件實驗室有高科技太陽能電池、生醫微機電、奈米 CMOS 元件等主題參加展出。展出期間民眾、公司及學術團體紛紛拜訪該實驗室攤位，由於環保意識高漲，綠能科技備受矚目，民眾對於該實驗室「太陽能電池」展示表示極感興趣。該實驗室太陽能電池的展出不同於大會「奈米光電能源主題館」，關於綠能電子元件，是由綠色矽材料及積體電路技術來完成，利用奈米技術，可

生產出功能更強、更便宜、且更省電的產品。日前，我們用可大量生產的積體線路、和面板工業技術開發出世界上首度直接由電場來儲存資料到奈米矽量子點綠色環保材料。本實驗室開發之「矽量子點」因為不須利用電流來儲存資料、因此非常省電，這項綠色奈米儲存發明對具有數十億至數百億美金市場規模非揮發性記憶模組產業極有貢獻。另外亦朝向目前最夯的CIGS（銅銦鎳硒）薄膜太陽能電池發展，因傳統 CIGS（銅銦鎳硒）太陽能電池製程中之緩衝層含有重金屬鎘，會對環境造成汙染。故該實驗室主要發展無鎘 ZnS 緩衝層技術的 CIGS（銅銦鎳硒）電池之製作，以實現無汙染之綠色能源開發。



2010 年國家奈米元件實驗室除展現研發技術及成果發表，現場另準備穿著無塵衣人體模型，吸引參觀民眾爭先拍照留念，逗趣的模型有如一道橋梁拉近民眾對奈米元件、太陽能電池的好奇心，並提供專業技術服務及設施等專業諮詢以達成宣傳效果。為鼓勵參展者藉由提高展覽的可看性及互動性，並擴大吸引民眾及潛在買家參與盛會，今年特別舉辦「最佳展出獎」及「最佳人氣獎」評選活動。三日展示期間為期雖短，但在廣受民眾熱愛與支持下，該實驗室榮獲「最佳人氣獎」，企盼下次展出該實驗室更新的技術及成果得與各界人士交流並與相關機構進行合作。



圖 1 2010 台灣奈米科技展活動現場。

「颱風降雨與淹水預報講座」報導

文/圖 江宙君 颱風洪水研究中心籌備處

國研院所屬之颱風洪水研究中心籌備處、國家高速網路與計算中心以及國家災害防救科技中心共同主辦「颱風降雨與淹水預報講座」，共辦理兩場講座，分別為2010年10月20日（台中場次）於國網中心中群辦公室三維劇場以及2010年10月27日（台北場次）假大坪林聯合大樓國際會議廳舉辦。講座目的為介紹颱風災害、颱風造成之降雨以及颱風降雨所造成淹水的預報方法及災害資訊、觀念宣導，以提昇相關業

務人員、教師與民眾對於颱風防災認知與觀念。兩場講座共有272人次參加（圖1），台中場次134人次，台北場次138人次參與。參與人員十分廣泛，包括高中小學校老師、學務處主任以及校長，研究生，消防局人員、副局長，各鄉鎮市、新聞處相關公務人員，防災辦公室、氣象局、水利署、水保局等防災相關單位人員，民間科技企業工程師等。



圖1「颱風降雨與淹水預報講座」參加人數踴躍。

主講人由颱洪中心吳德榮顧問，兼任研究員李光敦教授，王毓麒副研究員以及張龍耀助理研究員擔任。共分為「颱風預警與風險管理」、「侵台颱風之定量降雨預報」以及「洪水預報系統簡介與應用」三個主題，並且在最後提供 Q&A 的問題時間。

第一個主題由吳德榮顧問主講「颱風預警與風險管理」（圖 2），與大家分享吳德榮顧問擔任前中央氣象局預報中心主任的多年經驗，首先介紹氣象預報的方法、理論，接著探討氣象預報的極限，讓大家了解為什麼常常覺得氣象報不準。而由於氣象預報沒有辦法做到 100% 的準確度，

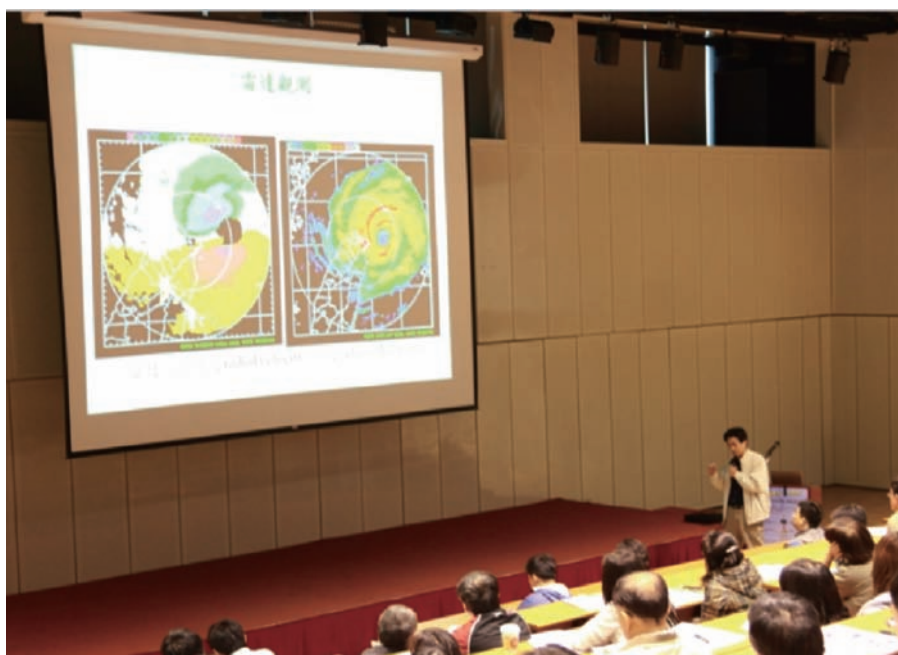


圖 2 吳德榮顧問主講之「颱風預警與風險管理」。

所以必須了解風險管理的重要性。讓大家除了了解氣象預報的極限以及如何解杜氣象預報的資訊外，更應該知道災害風險的重要性，而不是要 100% 有災害才來做災害預防。

接著由張龍耀助理研究員報告國研院颱洪中心目前重點研究之一「颱風定量降雨數值模式系集預報平台」的「侵台颱風之定量降雨預報」（圖 3）。在氣象預報無法做到 100% 的準確性預報之際，使用許多模擬結果及多方資訊下的機率性預報就變得十分重要，颱洪中心 2010 年集

合學界及業界，將氣象模擬能量集合，達到系集預報之機率性預報的成果，並將此成果分享與作業單位使用。

最後，由李光敦教授以及王毓麒副研究員輪流擔當「洪水預報系統簡介與應用」之主講人（圖 4），由「颱風定量降雨數值模式系集預報平台」之模擬結果銜接下來做洪水預報模擬之介紹，並由工程的角度以及非工程的角度探討淹水災害的預防，並且宣導洪水災害也需要做到風險管理的觀念去做防災處理。



圖3「侵台颱風之定量降雨預報」講題。



圖4 李光敦教授主講「洪水預報系統簡介與應用」。

在最後 Q&A 時間（圖 5）講師與參與人員互動十分熱絡（圖 6），讓民眾能提出平常有疑問的問題，以及詢問如何改善，而講師也能夠提供相當專業的解答。兩場講座參與人員都給予高度的肯定，達到災害資訊的解讀與了解預報的困難性、防災之風險管理態度與觀念的宣導，許多參

加人員甚至希望類似講座甚至可以做巡迴講座，更能夠達到資訊宣導的作用。並且期望此講座，不僅僅是對社會大眾做資訊及觀念的宣導，更希望能讓政府機關上位的決策者多了解氣象及水文相關資訊，並且提昇風險管理的觀念及素養，才不會於災害發生後再後悔沒有做好防災作為。



圖5 「颱風降雨與淹水預報講座」Q&A時間。(上圖左起：張龍耀助理研究員、吳德榮顧問、王毓麒副研究員。下圖左起：張龍耀助理研究員、吳德榮顧問、李光敦教授。)



圖6 講師與參與人員互動。

第62屆德國紐倫堡國際發明展 本院儀科中心勇奪四金

文/圖 陳柏睿 儀器科技研究中心



圖 1 國研院儀科中心於第 62 屆德國紐倫堡國際發明展榮獲四面金牌。

「第 62 屆德國紐倫堡國際發明與新產品展」於 2010 年 10 月 28 日至 31 日盛大舉行，計有來自 37 個國家共 800 件發明作品參賽。參賽的作品琳瑯滿目，舉凡建築、化學工業、資訊技術、材料科學、環境保護與機械設備，乃至農林與居家用品均屬展覽類別。賽期前兩天大會評審

針對產品的新穎性、實用價值及社會貢獻度進行評審。展期最後大會依據分數排名頒發金牌、銀牌、銅牌與特別獎，以茲鼓勵。本次台灣代表團一舉奪下 27 金、32 銀、23 銅，蟬聯團體總冠軍，再次成為世界各國矚目的焦點。

國研院儀器科技研究中心在德國紐倫堡國家發明展中迄今總計獲得 8 金 4 銀 1 銅的佳績。今年推出「單軸複數刀口演算法之 MTF 量測裝置」、「單擊發雙極性波形產生裝置及方法」、「液體鏡頭模組之檢測裝置」與「不可見光之發光元件其輸出光束之檢測裝置」四項技術參賽，經過激烈評選競爭後，全數獲得評審的青睞，囊括 4 面金獎牌，在此國際大展中大放異彩。

本次參賽的「單軸複數刀口演算法之 MTF 量測裝置」係儀科中心整合光機電系統技術，特別針對手機照相鏡頭模組研發的快速光學品質檢測機台。利用數位影像處理方式，將成像圖案進行刀口演算法及內差運算，可同時求出軸上及離軸之調制傳遞函數量測值，更是全球首套正投影多點同時量測機台。本項技術曾榮獲中華民國計量工程學會第六屆計量科技研發創意獎、以及 2010 年台北國際發明暨技術交易展金牌獎。

「不可見光之發光元件其輸出光束之檢測裝置」適用於觀測波長介於 $1.33\mu\text{m} - 1.55\mu\text{m}$ 之間的紅外不可見光束形貌，以協助 LED 廠淘汰瑕疵品，提高產品良率。其利用傳統便宜的可見光攝影機取代昂貴紅外線熱影像儀，經由電腦計算補償光線角度，以獲得紅外線發光二極體元件之能量分布。本項發明技術亦曾獲得 2009 年台北國際發明暨技術交易展金牌獎殊榮。

「單擊發雙極性波形產生裝置」是為彌補傳統信號產生器所無法提供之信號功能，應用於消除

壓電材料極化現象，達到精密控制功能。其可同時輸出雙極性同步方波、三角波與弦波，並具有單擊發功能，以供觀察壓電材料瞬間觸發狀態與相關物理應用。該項技術能夠應用於氣體放電照明、微機電工程、生化工程、靜電工程等產業，是極具價值的工具。相關專利已經由非專屬授權移轉給國內電子儀器科技公司，擴增國內信號產生器製造廠商的產品功能，提升我國儀器設備廠商的國際競爭力。此項技術並獲 2008 年台北國際發明暨技術交易展金牌以及 2010 年國家發明創作獎肯定。

新式液態鏡頭目前為手機相機模組與消費型數位相機新寵兒，然而由於液體與表面黏滯特性，縱使供給相同的驅動電壓，亦無法確保透鏡每次的曲度均相同，影響影像優劣。此一液體鏡頭的遲滯現象雖然可用焦距儀或 MTF 等傳統儀具測量，但若需檢測感測器與液體鏡頭所組成之影像模組，則令廠商束手無策。儀科中心克服原有技術瓶頸，發展「液體鏡頭模組之檢測裝置」，針對液態鏡頭整體影像模組的組裝品質以及其驅動電壓的響應優劣，進行整體品質測試。

本次競賽成績如此優異，除了代表國研院儀科中心研發成果深獲各國評審的肯定之外，亦說明儀科中心在儀器科技領域的發展實力具多元性與創新價值。此外，藉由參賽展示的同時，向與會人士以及參訪團體推廣儀科中心深厚的儀器技術實作能量，拓廣國際聲譽。透過與各參與競賽的科研單位交流互動，亦開創未來國際合作的新契機。

國研院國網中心 「2010 NCHC HPC 用戶研討會」

文/圖 國家高速網路與計算中心

為促進國內高速計算應用研究與技術交流，並推廣國研院國家高速網路與計算中心服務成效，國網中心於 2010 年 11 月 4 日（星期四）舉辦「2010 NCHC HPC 用戶研討會」，會中除邀請多位重量級高速計算使用者及相關領域先進參加外，並展出 49 張 HPC 用戶研究成果競賽海報，提供與會者一個多元觀摩與交流的機會，以期共同拓展國內高速計算應用研究，提昇我國科研水準。共計有 180 人報名與會，參與程度相當熱烈。

國研院國網中心主任江國寧於開幕致詞時表示，高速計算是科學研發的利器，國研院國網中心正不斷地提升計算能量以縮短計算的時間，新建中的主機其計算能量將可達 170TF 以上，預計明年中開放對外服務。同時因應政府四大產業，國研院國網中心新增雲端計畫，將整合各項技術建置叢集電腦作為雲端計算服務的主機，如 2010 年 11 月方建置完成 Formosa 3，其效能為 8 Teraflops，2011 年的 Formosa 4 預計將可達到 50 Teraflops。各研究領域的學者專家能在此齊聚一堂，針對高速計算應用研究相互的討論，而國研院國網中心也將持續建置 Formosa 系列，並將其串連成更強大的計算



圖 1 產學研各界人士共聚一堂。

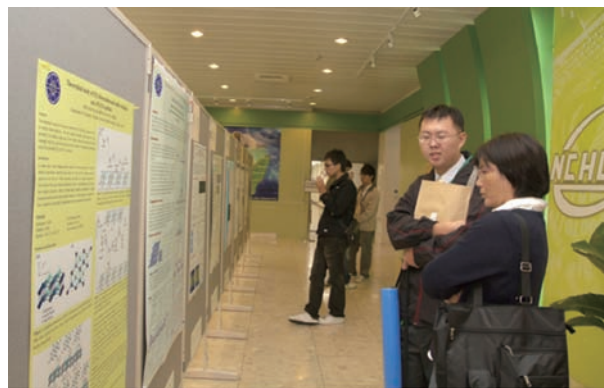


圖 2 成果海報展示走廊提供觀摩與交流的機會。

資源，作為各領域高速計算堅實的後盾，相信在此交互激盪之下，會有更好的成果。

會議一開始由國立中正大學鄭友仁副校長發表

專題演講，鄭副校長說明高速計算不僅是實驗、驗證的工具，它也可以是用來發現的工具，並分享最近數年與歐、美高速計算各方交流的見聞、心得與成果。近幾年，繼奈米課題之後，美國科學界開始熱切的尋找下一代可能的新興研究主題，相信對台灣高速計算應用與研究而言，是一個促成國際合作計畫與國際接軌的契機。接著鄭副校長進一步說明幾個高速計算與應用研究間重要的議題，包括如何讓研究領域的人提升高速計算的使用程度；如何進行跨領域的研究；不同計算與時間的尺度如何轉換；還有視算工具依然是個挑戰等議題。最後並分享幾個中正大學與鄰近教學醫院的跨領域研究。

隨後，由國研院國網中心邀請的十二位重量級用戶代表，依照化學、物理及其他研究領域三個場次，平行進行成果分享。由於各場報告學者皆已在國際重量級學術期刊上取得領先成就，會場中討論氣氛熱烈。用戶除分享最新研究進展與成果之外，同時也感謝國研院國網中心的高速計算資源對其研究的幫助。



圖3 國研院國網中心江國寧主任開幕致詞。



圖4 國立中正大學鄭友仁副校長演講“Computations as Tools of Development and Discover”。



圖5 林明璋院士於化學領域場次分享研究成果。



圖6 朱訓鵬教授於其他研究領域分享研究成果。

國研院國網中心接著報告該中心服務介紹及各項 HPC 相關增值服務。在國研院國網中心服務介紹中，該中心張自恭組長增加說明了因應主管機關國科會要求之「用戶收費機制」的討論現況，現場大用戶包括中研院魏金明教授、林明璋院士等，對 SRU 的計算方式、計費標準及收費配套措施等提出不少建議，未來國研院國網中心也會參考以研擬具體可行的方案。而在增值服務方面，東海大學施奇廷教授也特別感謝 DRBL 對其研究計畫的幫助，肯定國研院國網中心在自由軟體的開發實力。

最後，國研院國網中心頒發「論文最佳註記」及「成果海報競賽」獎項。論文最佳註記獎頒予國立中興大學戴慶良教授、中國醫藥大學陳語謙教授及國立中山大學林吉聰教授。而此次睽違多年的成果海報競賽，則是從 49 件報名作品中，由多位評選委員選出 22 件作品頒發佳作、優選、特優獎項，所有參賽學生並可獲得感謝狀一張以茲鼓勵。綜觀此次的海報競賽，參與的學生們相當踴躍，海報展示不僅提供了觀摩學習的機會，也讓同學們在競賽的過程中關注研究發展。會後大家也開心地將海報攜回留存，為研討會劃下完美的句點。



圖 7 江國寧主任頒發「論文最佳註記」獎項予戴慶良教授。



圖 8 江國寧主任頒發「論文最佳註記」獎項予林吉聰教授，由林家賢同學代領。



圖 9 黃維誠副主任頒發成果海報佳作獎。



圖10 姚志民副主任頒發成果海報佳作獎。



圖 11 林明璋院士頒發成果海報優選獎。



圖 12 江國寧主任頒發成果海報特優獎。



圖 8 2010 NCHC HPC 用戶研討會形象海報。

國研院國網中心參展 「國際高速計算研討會 SC10」

文/圖 國家高速網路與計算中心

高速電腦領域一年一度的盛會——國際高速計算研討會 SC10 於 2010 年 11 月 14 至 19 日在美國紐奧良盛大舉辦，由 IEEE 及 ACM (Association for Computing Machinery) 贊助，提供與會者一個參加技術研討、教育訓練及展示高速計算、網路、儲存等領域之產品與研發成果的絕佳舞台。

關於 SC10

SC10 位於紐奧良 Ernest N. Morial Convention Center 共約 386,000 平方英尺的展場空間，提供超過 300 家超級電腦、網路等設備商及相關領域研究機構，展示最新的產品與研發成果，展場規模為歷年來最大，近三天的展覽期間共吸引上萬人潮入場參觀。除了琳瑯滿目的展示攤位外，在技術研討方面，SC10 技術議程委員會 (Technical Program Committee) 特別選擇了 33 門半天或全天的技術指導課程，內容涵括高速計算領域之基礎技能、熱門話題及新興技術等，提供高速計算領域研究人員精進技能以及與先進們進行經驗交流之機會。

2010 年大會主要針對三項專門領域：大資料量計算 (Data Intensive Computing)、異質計算 (Heterogeneous Computing) 及氣候

模擬 (Climate Simulation) 等主題，邀請業界與學界之專家學者向與會者分享近期的研究發現及未來的發展趨勢；另邀請重量級之學者對於如何在降低風險的環境中再創成長、GPU 運算未來的發展及未來二十年全球氣候之變遷等話題進行演說，每場演講皆吸引上千人入場聆聽。

國研院國網中心研發成果展示

2010 年國家高速網路與計算中心由江國寧主任及黃維誠副主任率隊參展，展示內容包含國研院國網中心於自由軟體領域之研發成果、GPU 運算技術、未來網路測試平台、虛擬工作區及整合閒置計算資源等技術，在展場中透過研究人員現場操作示範的方式，提供來訪者生動且詳細的解說。另外並以簡報及 DM 靜態展示之方式，展示材料分析、生物分子模擬、水資源管理、生態監測技術等研發成果。

2010 年 GPU 運算仍為當紅話題，國研院國網中心所展出的 GPU 運算研發成果吸引相當多與會者之詢問與聆聽研究人員的解說；另外，自由軟體之研發成果 DRBL 及 Clonzilla，亦有不少慕名而來的訪客，特地到國網中心攤位進行更深入的了解。



圖 1 李文修副研究員解說 GPU 運算研發成果。



圖 2 潘怡倫副研究員解說 Phantom Cluster 技術。

展示期間，江主任及黃副主任代表國研院國網中心拜訪一些友好廠商及研究機構之攤位，美國西北大學 iCAIR 副主任 Jim Chen 與亞洲技術資訊（Asia Technology Information Program，ATIP）主任 Dr. Kahaner 亦帶領

一些專家學者訪問國研院國網中心的展場，除了了解國研院國網中心近期的研發成果，並對未來可能的合作計畫進行深入的洽談。PRAGMA 主席 Dr. Peter Arzberger 亦特地拜訪國研院國網中心展場並與江主任相談甚歡。



圖3 ATIP主任 Dr. Kahaner 等一行人來訪。



圖4 美國西北大學一行人來訪。

台灣之光

數年來，國研院國網中心身為台灣高速計算領域在 SC 的唯一代表，除了推廣中心的研發成果，亦同時行銷台灣的文化與形象。今年，還有一項令人驕傲的喜訊，就是由國研院國網中心高速計算團隊與清華大學鍾葉青老師帶領的學生團隊，代表台灣參加學生叢集電腦計算競賽（Student Cluster Competition, SCC），

獲得世界第一的殊榮，比賽主要分為自組叢集電腦、調整效能以及應用部分，在應用部分包括計算天文、分子動力、氣象模擬、與密碼破解等題目，在經過 46.5 小時不間斷的計算解題後，成功擊敗另外七個國外隊伍，勇奪冠軍。SCC10 冠軍這獎項，不僅是對老師及學生們努力的肯定，亦顯示台灣在全球高速計算領域重要的地



圖 5 SCC10 台灣代表隊團體合照。

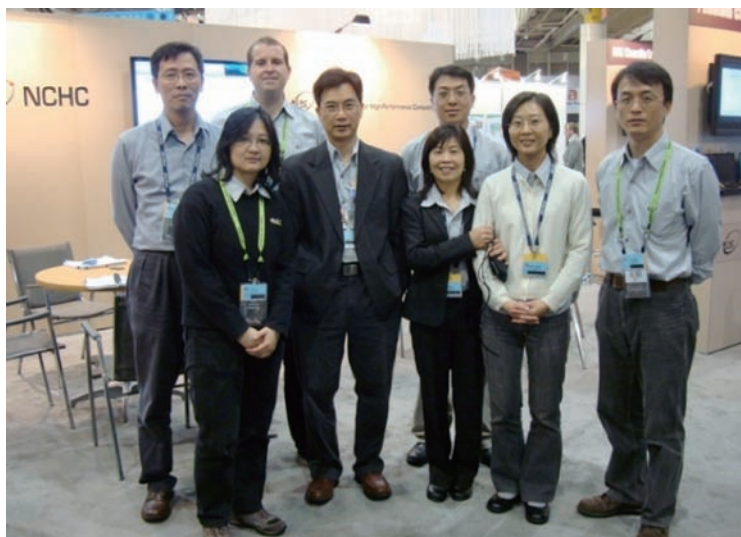


圖 6 SC10 國研院國網中心團隊全體成員合影。

位，相信有今年的參賽經驗及獲獎的鼓舞，明年定能將大獎續留台灣。

SC10 在密西西比河畔爵士樂的故鄉紐奧良盛大的展開，在參與了大會精心規劃的技術研討課程、精湛演說；目睹最新高性能產品及研發成果，並與各領域專家學者就技術與經驗交流

下，相信每位與會者皆是滿載而歸，會議也圓滿結束。2011 年 SC 研討會預訂於美國西雅圖舉辦，國研院國網中心將在西雅圖再度呈現最新的研究成果，期待明年西雅圖見。

各實驗室動態 Laboratories

國家實驗研究院院本部

院本部國際交流花絮

沙烏地阿拉伯老王科技城 King Abdulaziz City for Science and Technology (KACST) 國際合作處代理處長 Mohammed Al-Badrani，於 2010 年 11 月 9 日拜會國研院院本部，KACST 是沙國獨立的科學組織，在行政上直屬首相，是一國家級科技機構及實驗室，負責制定國家科技政策及發展策略。此次拜會，雙方針對地震工程研究、海洋研究、水文觀測技術、大氣水文模擬與整合式集水區模擬研究等議題，進行未來合作之討論。此次訪台亦參訪本院國震中心，KACST 並受邀未來也能參加「國際耐震訓練班」，以開啟雙方於地震工程相關研究之合作。



沙烏地阿拉伯老王科技城訪問院本部。

來自俄羅斯之國際工程院及俄羅斯工程院院長 Gusev Boris，於 2010 年 12 月 7 日率領代表團共計 6 人訪問國研院院本部，由陳文華院長親自接待，並由院本部、儀科中心、國網中心、太空中心分別介紹本院及三個中心之業務及研發能量，該院院士 Speranskiy Anatoly 亦介紹振動及波能量資訊技術。此外，訪問團也參觀本院儀科中心各項設施，並探視正在該中心進行研究之俄羅斯研究人員。



沙烏地阿拉伯老王科技城訪問院本部。

國家奈米元件實驗室

國家奈米元件實驗室獲得「台灣奈米科技展」大會頒發最佳人氣獎

2010 年「台灣國際奈米週」已於 2010 年 10 月 7 日至 9 日假台北世貿一館盛大舉辦並開幕，大會規劃「全國奈米科技應用競賽」、「奈米生醫法規專家深度座談會」、「奈米化醫療器材快速商品化論壇」、「奈米生醫法規國際研討會」、「奈米產品商機論壇」、「奈米科技產學研究合作推動論壇」等同期一系列的技术論壇與座談會活動進行，其中亦包含國內外具奈米技術與產品的廠商一同參與本次活動。

藉由 2010 年「台灣奈米科技展」的奈米成果展示平台，國研院國家奈米元件實驗室展出高科技太陽能電池、生醫微機電、奈米 CMOS 元件等技術主題。展出期間，民眾、公司及學術團體紛紛拜訪該實驗室攤位，由於環保意識高漲，綠能科技備受矚目，民眾對於該實驗室「太陽能電池」展示表極感興趣。

該實驗室除展現研發技術及成果發表，現場另準備穿著無塵衣人體模型，吸引參觀民眾爭先拍照留念，逗趣的模型

有如一道橋梁拉近民眾對奈米元件、太陽能電池的好奇心，並提供專業技術服務及設施等專業諮詢以達成宣傳效果。為鼓勵參展者藉由提高展覽的可看性及互動性，以擴大吸引民眾及潛在買家參與盛會，今年特別舉辦「最佳展出獎」及「最佳人氣獎」評選活動。三日展示期間為期雖短但也廣受民眾熱愛與支持下，此次國家奈米元件實驗室榮獲「最佳人氣獎」，企盼下次展出該實驗室更新的技術及成果與各界人士交流與相關學術合作。



國家奈米元件實驗室獲得「台灣奈米科技展」大會頒發最佳人氣獎。

國家實驗動物中心

國研院動物中心獲第十二屆「科技管理獎」肯定

國研院國家實驗動物中心團隊榮獲第十二屆「科技管理獎」之企業團隊獎，肯定動物中心 17 年來為支援我國生技政策發展所做出的貢獻。

「科技管理獎」旨在表揚對科技管理有傑出貢獻或優異績效之個人或企業團隊。中華民國科技管理學會表示，此次動物中心的研發團隊獲得企業團隊獎項，就是因為認同該中心長期致力高品質實驗動物資源供應、技術支援、及前瞻技術的開發，且已成為台灣發展轉譯醫學及新藥開發之重要後盾，厚植了我國生技研究與產業發展的實力。

動物中心為我國第一所大型 SPF 級國際品質之啮齒類實驗動物供應單位，為因應國家生技政策與趨勢，積極轉型成為功能完整的生物科技國家級實驗室，不僅提供品系完整且品質優良之實驗動物資源、具公信力的動物品質監測、胚冷凍保存、淨化、無菌動物實驗平台、表現型分析與種原庫服務，亦是國內啮齒類實驗動物人才最齊備之實驗動物機構。

動物中心繼 2007 年獲得 AAALAC 實驗動物設施與管



國研院動物中心獲頒第十二屆「科技管理獎」之企業團隊獎，肩負生物科技國家級實驗室的角色，支應國內生技發展政策的貢獻備受肯定。

理之國際認證後，2010 年 7 月北部及南部設施，亦同步獲 AAALAC 認證肯定，對於提升我國實驗動物資源水準及增強生技研發之國際競爭力，具有重大的影響及助益。該中心亦是國內唯一通過 TAF 認證，且規模最大、服務項目最完整的啮齒類實驗動物病原檢測平台。

國家地震工程研究中心

地震風險管理技術發展與應用研討會

風險管理乃對風險的定義、識別、評估和發展因應風險的策略，目的是將可避免的風險、成本及損失極小化。風險處理常見的方法有：風險規避、風險自留、風險降低與風險轉移。在台灣由於地少人稠，活動斷層遍佈全台，在處理地震風險上，無法藉由避免手段來規避風險。過去個人與企業常常自己承擔風險，但近年來地震工程發展迅速，並實施政策性的地震保險，國人所面對的地震風險已可藉由提升建築物耐震能力與投保地震險來有效降低與轉移。

國研院國震中心在建築物耐震工法、地震風險評估等領域已有卓越的研究成果與落實，因此國震中心與財團法人保險事業發展中心於 2010 年 11 月 5 日共同舉辦「地震風險管理技術發展與應用」研討會，針對地震風險評估技術、企業地震風險管理與風險理財工具等議題進行說明，講題包括企業對地震的風險如何管理、台灣地區地震災害概述、震災境況模擬技術與應用、建築物地震損失



研討會學員來自土木、保險與科技各產業。

評估、地震風險評估介紹、企業組織之地震風險理財工具等。該研討會吸引近 50 位土木、保險與科技產業精英報名參與，反應熱烈，將有助於日後地震風險與保險業務的發展與推動。

國家太空中心

第六屆國際衛星星系與編隊飛行研討會（IWSCFF 2010）



第六屆國際衛星星系與編隊飛行研討會（IWSCFF 2010）。

國研院國家太空中心於 2010 年 11 月 1 日至 3 日於台北福華國際文教會館舉辦第六屆國際衛星星系與編隊飛行研討會。

本次研討會計有國內外包括美國、德國、俄國、葡萄牙、西班牙、荷蘭、斯洛伐尼亞、加拿大、瑞典、印度、新加坡

等國家近 100 人註冊。國內邀請的貴賓則包括國科會李羅權主任委員、中央大學劉振榮副校長、凌群電腦集團劉瑞隆總經理及國際航太聯盟太空力學小組召集人 Dr. Eric Lansard 等人。此次研討會共計發表論文近 40 篇，討論議題涵蓋目前最尖端衛星操控技術、編隊飛行技術未來趨勢及衛星星系應用發展等，分別以目前已經成功運行的福衛三號掩星星系計畫及今年才成功發射升空進行編隊飛行的 PRISMA 衛星計畫為兩大主軸進行廣泛的討論。福衛三號星系自 2006 年發射

至今執行超過原規劃的 2 年任務年限，雖然目前有 2 枚衛星處於失聯狀態，但仍持續提供掩星資料，於會中對於福三計畫貢獻多予肯定。本次與會人士多數為星系及編隊飛行計畫成員及國際知名的專家學者，在各項主題上都有深入的討論，對於國內衛星姿態控制及操作技術上的提升有絕對的助益。

國家高速網路與計算中心

行政院吳敦義院長親臨國網中心參訪雲端應用成果



行政院吳敦義院長視導國網中心（圖中），由國研院陳文華院長（右一）及國網中心江國寧主任（左一）實地陪同參訪。

行政院吳敦義院長為能掌握國內雲端運算之進展，2010年10月2日在行政院林政則政務委員、林中森秘書長及國科會李羅權主委陪同下，至國研院國網中心進行視導，聽取高速計算主機設施與相關應用介紹。對於國研院國網中心身為國內唯一的高速計算中心，擁有高速計算服務能

量，在新竹、台中、台南三地均有異地儲存備援及高品質學術網路的獨特優勢，特別是自行建置 Formosa 叢集電腦核心技術，致力扶植國內大型電腦廠商升級，給予高度肯定。

透過 3D 立體影像科技，讓視導團隊戴上 3D 立體眼鏡，身歷其境各項領域成果，包括「生態保育」，介紹台灣珊瑚礁保育即時觀測技術；「文化創意」，協助產業製作 3D 立體布袋戲實驗影片；「防洪減災」，莫拉克風災後地形地貌規模變化模擬；「生活育樂」，以自行建置之 Formosa 第二代叢集電腦與國際大廠超級電腦進行圍棋對弈賽；「醫療保健」，以自行研發的雲端節能技術，運用於睡眠呼吸中止症與腦部腫瘤立體影像分析；「科技研發」，由國研院國網中心、清大及美國冷泉港實驗室三方合作跨國計畫，建立全球第一個果蠅腦神經網路 3D 立體影像資料庫等成果。

現場吳院長對於國研院國網中心多元化之雲端應用與研發技術能力，深表讚嘆與嘉許，且勉勵未來可以持續努力，為本中心研發團隊注入一股強心劑。

國家晶片系統設計中心

關志達主任佈達典禮



蒞會貴賓共同合影留念。

國研院國家晶片系統設計中心歷經遴選委員會的審慎作業，主任一職由國立台灣大學關志達教授接任，於2010年11月1日舉行佈達典禮。當日由國研院陳文華院長親自主持佈達典禮，包含國科會周景揚副主委、國研院王永和副院長、工研院電子所徐爵民所長、晶片中心前主任魏慶隆教授及多位來自學研界的先進皆到場觀禮。陳文華院長期勉新任主任勇於改革與承擔，秉持精益求精的精神，帶領國研院晶片中心進行資源及人才、組織及功能的整合，打造我國系統晶片技術發展嶄新的局面。周景揚副主委與魏慶隆教授則以前主任的身分，勉勵晶片中心「棒棒相傳」，持續發揚資源共

享的服務精神，進行資源的有效利用，提升產出的品質。徐爵民院長亦期勉未來晶片中心全體同仁在新主任的帶領下，齊心克服 IC 設計領域所面臨有關晶片系統整合、奈米製程技術的新考驗。關志達主任則以自己為例，期勉晶片中心全體同仁秉持「公平、公開、效率、效益」的處事原則，完成各項跨中心、跨領域的研發計畫，為國內學術界提供更完善的服務，並成為高科技服務業的標竿機構，進而提升台灣學術界在國際 IC 設計領域的技術水準與競爭力。

關志達主任主要研究領域為高速數位積體電路、寬頻通訊技術與通訊積體電路系統設計。關主任於1989年取得美國加州理工學院電機工程博士，旋即返國於台灣大學電機系任教，歷任國科會晶片設計製作中心共同主持人、國科會工程處 NSoC 專案召集人、教育部前瞻晶片系統設計人才培育先導型計畫總聯盟召集人、工研院晶片系統中心顧問等職位，2004至2006年擔任台大電子所所長一職，現任台大電機系暨電子所教授。學術專業與行政管理歷練完整，對國內積體電路系統晶片的發展與運作，亦具有豐厚的實務經驗。相信在關主任的掌舵及帶領下，晶片中心必能為我國 IC 設計領域奠定更完善的基礎。

儀器科技研究中心

儀科中心獎勵儀器 DIY - IEEE 儀器與量測學會會長來台頒獎

國研院儀器科技研究中心為促進儀器科技發展，提升儀器自製能力，舉辦第二屆 i-ONE 儀器科技創新獎。經過各界參賽作品的激烈競爭，得獎名單終於出爐，並於2010年11月5日假儀科中心舉行頒獎典禮。

第二屆 i-ONE 儀器科技創新獎分青少年與業餘二組競賽。業餘組首獎為虎尾科技大學李羿宗；二獎為中正大學林子聖等人；三獎為中興大學童麒嘉等人，佳作為臺灣師範大學林昇民等人。青少年組首獎從缺，二獎兩名為正心高中覺元彙與今年畢業於台中高工林子翔（現就讀國立台北科技大學）；三獎從缺，佳作為大里高中王泰鈞等人。

頒獎典禮除參與競賽的入圍者踴躍出席外，特別邀請 IEEE Instrumentation and Measurement Society 的會長 Kim Fowler、評選委員以及活動贊助廠商參與盛會。Kim Fowler 並以 A Perspective on Future Instrument and Measurement 為題，與參賽者分享儀器發展趨勢。

國研院主要任務是建構研發平台、支援學術研究、推動



第二屆 i-ONE 儀器科技創新獎得獎者合影。

前瞻科技與培育科技人才，在此任務引導之下，國研院儀科中心舉辦 i-ONE 儀器科技創新獎，希望藉由儀器創意競賽，促使參賽者運用基礎科學知識，發揮其創造力，提升儀器科技水準，發掘儀器科技人才，培育未來科技發展所需優秀人力。

科技政策研究與資訊中心

2010 電子資訊資源與學術聯盟國際研討會



研討會邀請之專家學者與政策中心林博文主任（中立者）合影。

隨著電子資訊技術的快速發展與應用普及化，各種新形式的學術資訊傳播管道也應運而生，直接或間接地影響目前圖書館提供學術資訊服務的運作以及與使用者互動模式。為因應此一趨勢發展，由國研院科技政策研究與資訊中心所召集成立的全國學術電子資訊資源

共享聯盟（CONCERT）遂將每年舉辦之國際研討會主題訂為「學術傳播的新紀元：網路資源對學術傳播的影響（Collaboration in the New Era of Scholarly Communication：Impact of Internet Resources）」，並於2010年11月10日與11日兩天假國立臺灣大學應用力學研究所國際會議廳舉辦。

本次國際研討會特別邀請來自美國、日本、韓國、大陸、香港及國內等12位專家學者和出版商代表分享新知卓見，發表的議題廣泛，涵蓋學術資訊與傳播、數位化時代學術圖書館的定位、圖書館推廣、學術資訊傳播發展、學術資料庫採購模式、開放近用（open access）資料庫發展及使用需求等。兩天的會議中，除了來自國內外專家學者精闢講演外，所邀專家及與會來賓亦針對未來趨勢進行意見的交換，大家並在意猶未盡的熱烈討論中譜下句點。本次研討會獲得國內相關人士的熱烈回響，報名與會來賓達到574人次，其中參與資料庫展示的出版商亦達98人次。

國家災害防救科技中心

APEC 災害地圖技術與風險脆弱度評估研討會

APEC 緊急應變任務小組（TFEP，Task Force for Emergency Preparedness）已於2010年升格為工作小組（EPWG，Emergency Preparedness Working Group），為推動建立防災工作運作機制與資訊平台，架構APEC 災害防救網絡，每年透過研討會主辦或協辦方式，落實各會員體相關防災科技研發之經驗分享。

本次 APEC 災害地圖技術與風險脆弱度評估研討會（APEC Workshop on Hazard Mapping and Risk and Vulnerability Assessment）舉辦日期為2010年10月19日到21日，第一、二天藉由講師設計課程介紹災害風險評估工具，配合小組活動討論及經驗分享方式加強學員對風險及脆弱度評估概念的理解。第三天則以實機操作 ArcGIS 軟體訓練方式，以區域基礎建設及居民可能面臨之災損風險為主題，製成災害地圖，以作為規劃災害防救工作的優先執行項目的依

據，來有效減低風險及損失，使 APEC 各會員體對緊急應變的整備更具全面性，提各會員體的防災能量。

本次研討會共計13個APEC會員體代表參加，其中包括：澳洲、加拿大、印尼、馬來西亞、墨西哥、秘魯、菲律賓、俄羅斯、泰國、中華民國、美國及越南，與會代表們並於會中合影留念。



APEC 災害地圖技術與風險脆弱度評估研討會。

台灣海洋科技研究中心

展現台灣海洋科技的「海洋知識活動日」活動



海洋中心於「海洋知識活動日」展區現場。

國研院台灣海洋科技研究中心為響應政府推廣海洋通識教育，於2010年11月5至7日參與由教育部與國科會於中正紀念堂所舉辦的「海洋知識活動日」活動，以提升全民對海洋科技的理解之外，並凸顯海洋中心作為政府海洋科技政策幕僚的重要性。

國研院海洋中心此次展出主題包括：建造中的海洋研究船、天然災害與海洋、海底的地形、台灣海洋特質、深海探測、海洋生態監測與海洋之美等。以科普化的方式呈現，展出的型態除了靜態的大型壁報與探測儀器展示之外，更以動態的動畫及影片加以呈現。

影片內容涵蓋海洋觀測、海底地震儀、深海探測以及蘭嶼珊瑚礁水下即時影像等主題，詳細介紹環台即時測流網與海洋大氣交互作用觀測的原理，並針對探測儀器設備的工作原理與海域現場調查作業流程進行解說。另外，提供現場民眾藉由自製海底地震儀—「庭園鳥」來體會地震的感測，並搭配上壁報與動畫的導覽解說，使民眾對於海洋有更深一層的了解。

「海洋知識活動日」的活動獲得許多民眾的熱烈迴響，成功達到科普教育之目的，亦充分展現了海洋中心協助政府推動海洋科技政策與推廣海洋教育所做的努力。

颱風洪水研究中心籌備處

颱風期間降雨雷達觀測實驗



實驗期間設於高雄縣杉林鄉集來農場的觀測設備。

為掌握颱風伴隨之劇烈中小尺度降雨變化，國研院颱風洪水研究中心籌備處（以下簡稱颱風中心）與國立中央大學合作，利用國科會補助國立中央大學建置的車載式雙偏極化雷達（TEAM-R），於2010年颱風季至台灣西南部山區進行萊羅克（LIONROCK）及凡那比（FANAPI）颱風的降雨觀測實驗。

萊羅克颱風觀測的時間2010年8月31日至9月6日，

9月1日至2日為颱風主要侵襲的時間。颱風中心與國立中央大學於高雄縣杉林鄉集來農場架設了雙偏極化雷達車乙部、陸氣水文通量塔、地面氣象站及雨滴譜儀各乙套。萊羅克颱風中心並未登陸，是由台灣海峽南方北上後逐漸偏西行進。於觀測中則發現降雨系統主要是由海外移入，颱風眼牆及主要雨帶等強降水區並未移入觀測區域。

凡那比颱風觀測的時間2010年9月18日至9月24日，9月19至9月20日亦為颱風主要侵襲時間。颱風中心由花東之間登陸台灣，橫貫之後由嘉義附近出海。其環流與地形交互作用使得在觀測地點附近持續有一段時間的強回波。凡那比颱風中心由觀測地點附近通過，由雷達風場資料可知低層至中層都有很強的風速，近地面水平風速逼近設備承受的上限，TEAM-R雷達被迫暫停觀測約90分鐘。

2010年的颱風期間雷達降雨觀測實驗為國內首次進行野外颱風觀測活動，實驗結果可彌補氣象局現有雷達不足之低層降雨狀況，重建正確的三度空間降雨資訊，並可做為未來建置實驗雷達參考。

國研科技 徵稿 啟事

主要目的：增進本院各實驗研究單位間之互相了解與交流、對外提昇本院知名度與形象

徵稿內容：與本院任務相關之通識性科技文章或活動報導

徵稿對象：國研院同仁及參與本院計畫人員，文章刊登後依本院「稿酬給付辦法」致贈稿酬

出 版：每年1月、4月、7月、10月出刊，每季截稿日期為出刊前二個月

聯 絡 人：稿件請以電子檔寄至院本部蔡智華小姐 chtsai@narl.org.tw

敬請支持、踴躍投稿

國研科技 January 2011 No. 29 NARL Quarterly

榮譽發行人：李羅權

發行人：陳文華

副發行人：王永和、吳光鐘

編審委員：江國寧、李清勝、李穎昀、林博文、高家俊、陳亮全、
梁善居、陸璟萍、張桂祥、張國鎮、楊富量、楊春燕、
楊龍杰、蔡定平、蔡俊輝、蔡深浩、闕志達

總編輯：陳明智

執行編輯：蔡智華

編輯小組：王頌雯、江宙君、宋伊平、吳佳穎、邵守麗、卓繼寬、
姜秋惠、許明仁、黃心寧、陳怡如、謝家平

設計印刷：肯迪思創意有限公司

發行所：財團法人國家實驗研究院

地址：106 台北市和平東路二段 106 號 3 樓

電話：02-2737-8000

傳真：02-2737-8044

網址：<http://www.narl.org.tw>

中華郵政台北誌字第 317 號執照登記為雜誌交寄

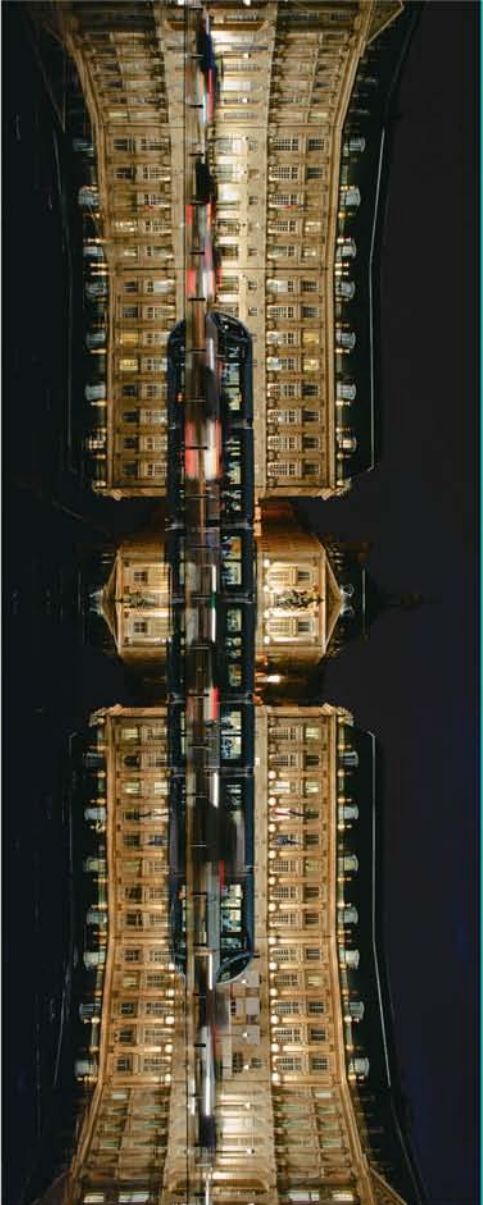
精緻華麗又不失典雅內斂的波爾多鏡池

作品簡介 /

交易所廣場是18世紀法國建築的經典作品。北面（照片右邊）名為交易所宮 (Palais de la Bourse)；現供波爾多工商會 (Chambre de Commerce et de l'Industrie de Bordeaux) 使用；南面（照片左邊）名為農場飯店 (Hôtel Des Fermes)，現則當作國家海關博物館 (Musée national Des Douanes)。廣場中央有一個噴泉雕像，而廣場被馬路一分為二。照片裡的時間正逢車水馬龍的下班時刻，可愛的電車正停在站內。電車軌道的另一側，蘊藏著本廣場的另一個重要特色，那就是地面上設計有一大片很薄很薄而且沒有壁面的水池。水為什麼不會整個流散出去呢？這是因為利用向下挖掘的一道小溝槽，來隔開水池與一般地面。池內還設有噴泉，時而噴發，在炎熱的夏天裡，可以讓小朋友在裡面玩水嬉戲。本照片中水面幾乎呈現靜止狀態，背後建築物因而得以形成非常漂亮的倒影。這個特別的水池，就叫做「鏡池」(Miroir d'eau)。

攝影者簡介 /

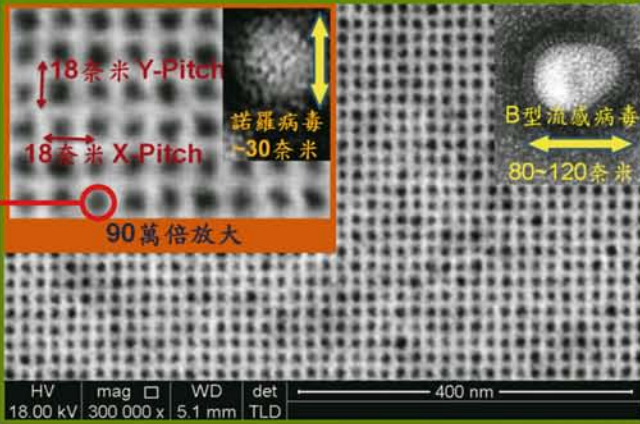
林峻毅，任職於國家地震工程研究中心，興趣為聽音樂、閱讀與攝影。偶爾到法國做自助旅行，捕捉異國風情影像，對於建築、教堂的攝影特別感興趣，此外還熱衷品嚐道地法式美食、享受歐式人文氣息和浪漫。



9奈米超節能記憶體

國研院國家奈米元件實驗室領先全球，開發出世界第一個9奈米功能性電阻式記憶體晶胞，應用此技術在1平方公分面積下，可容納超過3000億顆記憶體晶胞，亦即單顆晶粒有300Gb的記憶容量，約是目前40奈米快閃記憶體技術的20倍之多，此一技術的耗電量更遠低於目前量產之前瞻記憶體約400倍以上之多。

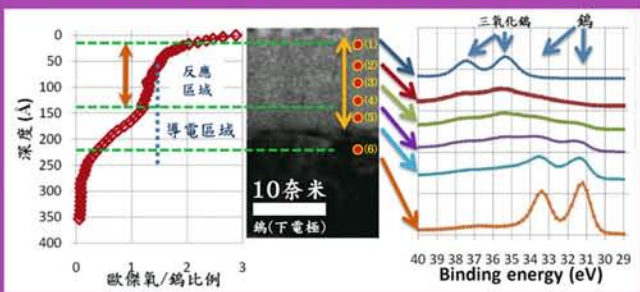
9奈米記憶體點陣列：比小病毒還要小的完美工藝



奈米噴印技術搭配國家奈米元件實驗室之半導體技術平台，成功開發9奈米記憶體點陣列，並展示記憶體之電性功能。

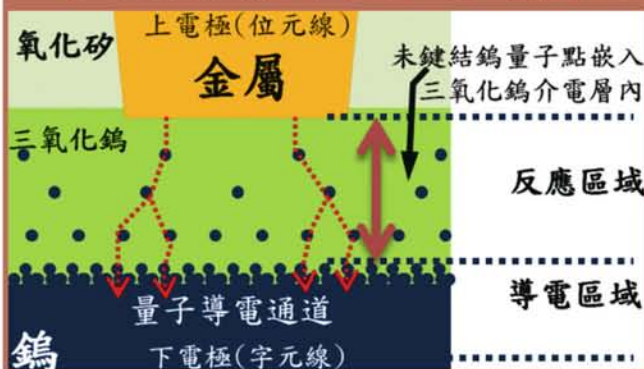
單一記憶體晶胞比小病毒(諾羅病毒)的面積更小約12倍左右，比一般B型流感病毒更小於超過150倍的面積。

超細微結構：C₆₀轟擊分析



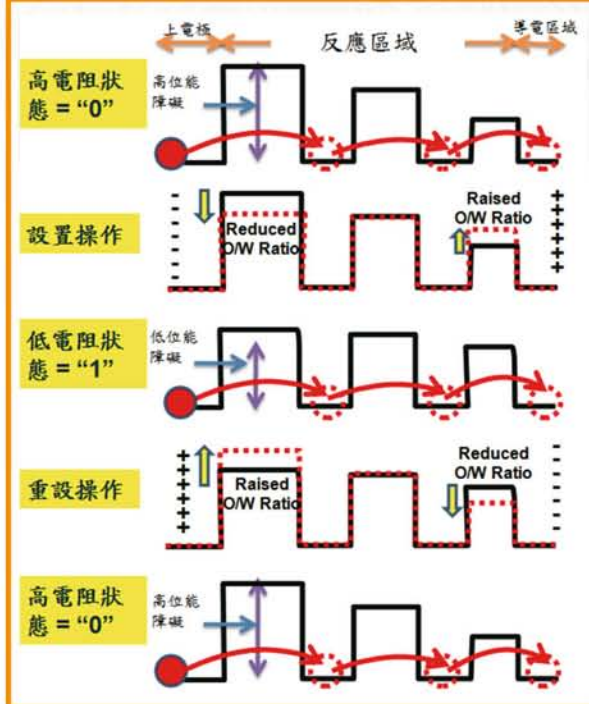
利用先進XPS分析技術採集記憶體晶胞內的精細材料結構及縱深分析。

9奈米記憶體中量子導電通道



未鍵結之鎢量子點產生量子導電通道，並決定記憶體的設置與重設操作。

9奈米記憶體物理機制



9奈米記憶體操作物理模型，氧離子移動產生位能障變化改變記憶體晶胞電阻值。